

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of :
Yuji MIZUGUCHI et al. :
Serial No. NEW : **Attn: APPLICATION BRANCH**
Filed February 12, 2004 : Attorney Docket No. 2004_0204A

DATA TRANSMISSION APPARATUS AND
DATA TRANSMISSION SYSTEM

CLAIM OF PRIORITY UNDER 35 USC 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

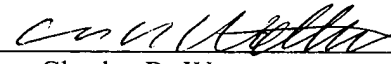
Sir:

Applicants in the above-entitled application hereby claim the date of priority under the International Convention of Japanese Patent Application No. 2003-283004, filed July 30, 2003, as acknowledged in the Declaration of this application.

A certified copy of said Japanese Patent Application is submitted herewith.

Respectfully submitted,

Yuji MIZUGUCHI et al.

By 
Charles R. Watts
Registration No. 33,142
Attorney for Applicants

CRW/asd
Washington, D.C. 20006-1021
Telephone (202) 721-8200
Facsimile (202) 721-8250
February 12, 2004

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

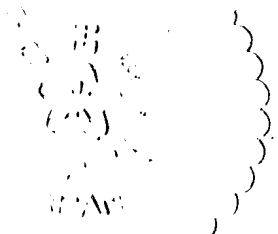
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 7月30日
Date of Application:

出願番号 特願2003-283004
Application Number:

[ST. 10/C]: [JP 2003-283004]

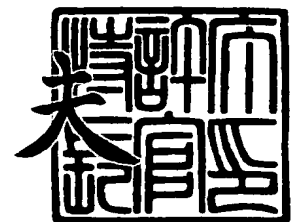
出願人 松下電器産業株式会社
Applicant(s):



2003年12月19日

特許庁長官
Commissioner,
Japan Patent Office

今井 康



出証番号 出証特2003-3105608



【書類名】 特許願
【整理番号】 2908950022
【あて先】 特許庁長官殿
【国際特許分類】 H04L 1/22
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 水口 裕二
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 梅井 俊智
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 秋田 貴志
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 勝田 昇
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 兼板 晃宏
【発明者】
 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
 【氏名】 大曾根 雅浩
【特許出願人】
 【識別番号】 000005821
 【氏名又は名称】 松下電器産業株式会社
【代理人】
 【識別番号】 100098291
 【弁理士】
 【氏名又は名称】 小笠原 史朗
【手数料の表示】
 【予納台帳番号】 035367
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 9405386

【書類名】 特許請求の範囲**【請求項 1】**

複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、データ信号を一方方向に伝送するデータ伝送装置であって、

前記データ信号は、一定周波数の電気信号の振幅に対して、情報が重畳された信号であって、

前記上流側に接続されたデータ伝送装置から送信されてくるデータ信号の有無を、当該データ信号の振幅状態に基づいて判定する信号判定手段と、

前記データ信号が送信されてきていないと前記信号判定手段が判定した場合には、前記下流側に接続されたデータ伝送装置へのデータ信号の送信を停止させる停止手段とを備える、データ伝送装置。

【請求項 2】

複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、データ信号を一方方向に伝送するデータ伝送装置であって、

前記データ信号は、一定周波数の電気信号の振幅に対して、情報が重畳された信号であって、

前記上流側に接続されたデータ伝送装置から送信されてくるデータ信号の有無を、当該データ信号の振幅状態に基づいて判定する信号判定手段と、

前記上流側に接続されたデータ伝送装置から送信されてくるデータ信号から、データ判定し出力を行う判定出力手段と、

前記データ信号が送信されてきていないと前記信号判定手段が判定した場合には、前記判定出力手段の出力を停止させる判定データ停止手段とを備える、データ伝送装置。

【請求項 3】

前記一定周波数の電気信号を抽出する信号抽出手段をさらに備え、

前記信号判定手段は、

閾値となる信号強度を記憶する閾値強度記憶手段と、

前記信号抽出手段が抽出した信号の強度と、前記閾値強度記憶手段が記憶している信号強度とを比較して、前記データ信号の有無を判定する強度比較手段とを含む、請求項 1 または 2 に記載のデータ伝送装置。

【請求項 4】

前記情報は、デジタルデータ値であって、

前記一定周波数の電気信号の振幅に対して重畳されているデジタルデータ値を読み出す読出し手段と、

前記読出し手段が読出したデジタルデータ値から、当該読出し手段が直前に読出したデジタルデータ値を引き算して、差分値を検出する差分値検出手段とをさらに備え、

前記信号判定手段は、前記差分値検出手段が検出した差分値に基づいて、前記データ信号の有無を判定することを特徴とする、請求項 1 ないし 3 に記載のデータ伝送装置。

【請求項 5】

前記信号判定手段は、

閾値となる差分値を記憶する差分値記憶手段と、

前記差分値検出手段が検出した差分値と、前記差分値記憶手段が記憶している差分値とを比較して、前記データ信号の有無を判定する差分比較手段とを含む、請求項 4 に記載のデータ伝送装置。

【請求項 6】

前記信号判定手段が、前記データ信号が送信されてきていないと判定した場合には、一定時間、前記データ信号の送受信動作を停止させるリセット手段をさらに備える、請求項 1 または 2 に記載のデータ伝送装置。

【請求項 7】

前記リセット手段は、前記リング状ネットワークの起動時に自機においてされた設定をリセットする場合には、前記リング状ネットワーク内に存在する前記データ伝送装置の数

から 1 を引いた数に、前記信号判定手段がデータ信号を受信しなくなってから前記停止手段が前記データ信号の送信を停止するまでの間にかかる時間をかけて得られる時間以上の時間、前記データ信号の送受信動作を停止させることを特徴とする、請求項 6 に記載のデータ伝送装置。

【請求項 8】

前記リセット手段による送受信動作の停止が解除されたら、下流に接続された前記データ伝送装置に対して、クロック同期を確立するためのロック信号を送信するロック信号出力手段をさらに備えることを特徴とする、請求項 6 に記載のデータ伝送装置。

【請求項 9】

前記ロック信号出力手段が前記ロック信号を送信した後に、各データ伝送装置間で信号強度の判定レベルを調節するためのトレーニング信号を送信するトレーニング信号出力手段をさらに備えることを特徴とする、請求項 8 に記載のデータ伝送装置。

【請求項 10】

前記所定のプロトコルは、MOST (Media Oriented Systems Transport) であることを特徴とする、請求項 1 または 2 に記載のデータ伝送装置。

【請求項 11】

複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、データ信号を一方方向に伝送するデータ伝送装置であって、

前記データ信号は、常に一定周期で振動する電気信号の振幅に対して、情報が重畳された信号であって、

前記上流側に接続されたデータ伝送装置から送信されてくるデータ信号の有無を、当該データ信号の振幅状態に基づいて判定する信号判定手段と、

前記データ信号が送信されてきていないと前記信号判定手段が判定した場合には、前記下流側に接続されたデータ伝送装置へのデータ信号の送信を停止させる停止手段とを備える、データ伝送システム。

【請求項 12】

複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、データ信号を一方方向に伝送するデータ伝送装置であって、

前記データ信号は、常に一定周期で振動する電気信号の振幅に対して、情報が重畳された信号であって、

前記上流側に接続されたデータ伝送装置から送信されてくるデータ信号の有無を、当該データ信号の振幅状態に基づいて判定する信号判定手段と、

前記上流側に接続されたデータ伝送装置から送信されてくるデータ信号から、データ判定し出力を行う判定出力手段と、

前記データ信号が送信されてきていないと前記信号判定手段が判定した場合には、前記判定出力手段の出力を停止させる判定データ停止手段とを備える、データ伝送システム。

【書類名】 明細書

【発明の名称】 データ伝送装置およびデータ伝送システム

【技術分野】

【0001】

本発明は、データ伝送装置に関し、より特定的には、複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、電気信号を一方方向に伝送するデータ伝送装置に関する発明である。

【背景技術】

【0002】

近年、カーナビゲーションやITS (Intelligent Transport Systems) といったインターネットや画像情報を自動車内等の空間において伝送する場合、大容量かつ高速な通信が要求される。このようなデジタル化した映像や音声データ、あるいはコンピュータデータ等のデジタルデータを伝送するための通信方式の検討が盛んに行われ、自動車内等の空間においてもデジタルデータを伝送するネットワークの導入が本格化してきている。この車内ネットワークは、例えば、物理的なトポロジをリングとし、複数のノードをリング・トポロジで接続させることによって一方向のリング型LANを形成し、オーディオ機器、ナビゲーション機器、あるいは情報端末機器等の統合化した接続を目指している。上記リング型LANで用いられる情報系の通信プロトコルとしては、例えば、Media Oriented Systems Transport (以下、MOSTと記載する) がある。このMOSTでは、通信プロトコルだけでなく、分散システムの構築方法まで言及しており、MOSTネットワークのデータは、フレームを基本単位として伝送され、各ノードを次々にフレームが一方向に伝送される。

【0003】

ところで、車内等に設けられるリング型LANの場合、放射ノイズが自動車等に搭載された他の電子機器の誤動作の原因になることがあり、また、他の機器からの放射ノイズの影響を受けることなく正確に伝送する必要もある。このため、従来のMOSTを用いたリング型LANでは、各ノードを光ファイバーケーブルで接続することによって、電磁波の発生を防止しながら耐ノイズ性を向上させている。一方、光ファイバーケーブルを用いることによる高コストや配線の制約や強度上の問題を解決するために、ツイストペア線や同軸ケーブルのような安価なケーブルを用いた電気通信を行い、放射ノイズが少なく耐ノイズ性を向上しながら20Mbpsを超えるような高速なデータ伝送を可能にしているものもある。

【0004】

ここで、上述したような各ノードが安価なケーブルで接続されたデータ伝送システムについて、図面を参照しながら説明する。図10は、当該データ伝送システムの構成を示したブロック図である。

【0005】

図10に示すデータ伝送システムは、データ伝送装置100a～nと、接続機器110a～nと、バッテリー120とを備える。データ伝送装置100a～nの内、1台は、マスターデータ伝送装置100aであり、その他はスレーブデータ伝送装置100b～nである。各データ伝送装置100a～nは、金属の伝送線によりリング状に接続されている。各データ伝送装置100a～nの間では、MOSTの通信プロトコルに従って矢印の方向にデータが伝送される。接続機器110a～nは、自動車の中で用いられる電子機器であり、例えば、カーナビゲーション装置等が挙げられる。なお、一般的なハードウェアの形態としては、それぞれのデータ伝送装置100a～nおよび接続機器110a～nが一体的に構成される。また、バッテリーは、データ伝送装置100a～nや接続機器110a～nに対して電力を供給する。

【0006】

ここで、データ伝送装置100a～nは、物理層LSI101、MOSTコントローラ102およびCPU103を含んでいる。MOSTコントローラ102は、接続機器11

0からのデータをMOSTで規定されるプロトコルに基づいて変換して物理層LSI101にデジタルデータとして出力する。また、MOSTコントローラ102は、物理層LSI101から出力されるデジタルデータを、接続された接続機器110に適した形式に変換して当該接続機器110に出力する。CPU103は、MOSTコントローラ102、物理層LSI101および上記接続機器110の動作を制御する。

【0007】

また、物理層LSI101は、MOSTコントローラ102から出力されてくるデジタルデータを電気信号に変換して、下流に接続されたデータ伝送装置100に出力する。さらに、当該物理層LSI101は、上流に接続されたデータ伝送装置100から出力されてくる電気信号をデジタルデータに変換して、MOSTコントローラ102に出力する。図11は、物理層LSI101の構成を示したブロック図である。当該物理層LSI101は、図11に示すように、マッピング部200、デジタルフィルタ202、DAC（デジタルアナログコンバータ）204、LPF（ローパスフィルタ）206、差動ドライバ208、差動レシーバ210、ADC（アナログデジタルコンバータ）214、デジタルフィルタ216、差分検出部218、判定部220およびクロック再生部222を含む。

【0008】

マッピング部200は、MOSTコントローラ102から出力されてくるデータを2ビット毎の平行データへの変換を行い、クロックに基づいて8値のシンボルのいずれかにマッピングを行う。ここで、マッピング部200が行うマッピングについて図12～14を参照しながら詳しく説明する。図12は、平行データと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表である。図13および14は、マッピング部200でマッピングされたデジタルデータがDAC204でアナログ信号に変換された波形を示した図である。

【0009】

まず、マッピング部200には、「00」や「01」等といった2ビットの平行データが入力される。ここで、マッピング部200は、取得したデータを図12に示す表にしたがって、+7、+5、+3、+1、-1、-3、-5、-7の8値のいずれかにマッピングする。ここで、マッピングの方法について、具体例を挙げて説明する。

【0010】

例えば、前のシンボル値 $B(k-1)$ が-1であって、マッピング部200に「00」の平行データが入力してきた場合には、図12によると、今回のシンボル値 $B(k)$ は、+7となる。一方、シンボル値 $B(k-1)$ が+5であって、マッピング部200に「01」の平行データが入力してきた場合には、今回のシンボル値 $B(k)$ は、-1となる。すなわち、本実施形態に係るマッピングは、前のシンボル値 $B(k-1)$ と入力してきた平行データとに基づいて、今回のシンボル値 $B(k)$ が求められる。このような方法によって、シンボル値 $B(k)$ が正負交互にマッピングされる。そして、求められたシンボル値 $B(k)$ は、デジタルフィルタ202を介して、DAC204に入力される。

【0011】

DAC204は、出力されてくるシンボル値 $B(k)$ に基づいて、図13あるいは図14に示すアナログ信号を作成する。ここで、図13および図14について詳しく説明する。

【0012】

図13は、前のシンボル値 $B(k-1)$ が+7、+5、+3または+1である場合において、「00」、「01」、「11」、「01」の各平行データが入力されたときのシンボル値 $B(k)$ を示した図である。図13は、例えば、前のシンボル値 $B(k-1)$ が+7である場合において、「00」のシリアルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が-1となるようなアナログ信号が作成されることを示している。

【0013】

一方、図14は、前のシンボル値 $B(k-1)$ が -7 、 -5 、 -3 または -1 である場合において、「00」、「01」、「11」、「01」の各パラレルデータが入力されたときのシンボル値 $B(k)$ を示した図である。図14は、例えば、前のシンボル値 $B(k-1)$ が -7 である場合において、「00」のパラレルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が $+1$ となるようなアナログ信号が作成されることを示している。

【0014】

以上のことを踏まえて、一例として、最初のシンボル値 $B(n)$ が $+1$ で、「00」、「00」、「11」、「01」の順にパラレルデータが順番に入力された場合に作成されるアナログ信号を示す。図15は、上述した場合において、差動ドライバ208から出力されるアナログ信号の様子を示した図である。

【0015】

まず、最初のシンボル値 $B(n)$ は、 $+1$ であるので、 $+1$ の位置にマッピングされる。次に、パラレルデータ「00」が入力されると、図13の一番右の波に基づいて、 -7 にマッピングされる。次に、パラレルデータ「00」が入力されると、図14の一番左の波に基づいて、 $+1$ にマッピングされる。次に、パラレルデータ「11」が入力されると、図13の一番右の波に基づいて、 -3 にマッピングされる。次に、パラレルデータ「01」が入力されると、図14の右から2番目の波に基づいて、 $+7$ にマッピングされる。以上のような処理によって、図15に示すアナログ信号が作成される。

【0016】

デジタルフィルタ202は、送信する電気信号の帯域制限および符号間干渉を抑えるための波形整形フィルタである。例えば、シンボルレートの6倍のサンプリング周波数で、ロールオフ率100%、タップ数45タップ、およびビット数10ビットのFIRフィルタを使用する。

【0017】

DAC204は、デジタルフィルタ202で帯域制限された信号をアナログ信号に変換する。LPF206は、DAC204の出力信号から信号帯域より高域の周波数を減衰させる。差動ドライバ208は、LPF206から出力されるアナログ信号の強度を増幅して差動信号に変換して伝送路に送出する。差動ドライバ208は、伝送路が有する2本1組の導線に対して、送出する電気信号を伝送路の一方側（プラス側）導線に送信し、当該電気信号と正負反対の信号を伝送路の他方側（マイナス側）に送信する。これによって、伝送路には、プラス側とマイナス側との電気信号が1つのペアとして伝送するため、伝送路からの放射ノイズを軽減することができる。

【0018】

次に、差動レシーバ210は、伝送路から入力する差動信号を電圧信号に変換してLPF212に出力する。上述したように、伝送路が有する2本1組の導線に対してプラス側とマイナス側との電気信号が1つのペアとして伝送されているため、差動レシーバ210は、プラス側とマイナス側との差から信号を判断して、外部からの電氣的影響を排除している。LPF212は、差動レシーバ210からの出力信号から信号帯域より高域の周波数を減衰させる。ADC214は、クロックにしたがって、差動レシーバ210から出力される信号をデジタル信号に変換する。

【0019】

クロック再生部222は、ADC214から出力される信号に固定的に含まれる12.5MHzのクロック成分を再生することによってクロック再生を行う。当該クロック再生部222で再生されたクロックは、デジタルフィルタ216、差分検出部218および判定部220のクロックとして用いられる。

【0020】

次に、デジタルフィルタ216は、ADC214から出力されるデジタル信号のノイズ除去を行う波形整形用のFIRフィルタであり、例えば、シンボルレートの1620倍のFIRフィルタが使用される。上述した送信側のデジタルフィルタ202と合わせ、符号

間干渉のないロールオフ特性を実現する。

【0021】

差分検出部218は、デジタルフィルタ216から出力されるデジタルデータ値から、1シンボル前のデジタルデータ値を引き算して得られた差分値を判定部220に出力する。例えば、図15のような波形の信号が物理層LSI101に入力してきた場合には、デジタルフィルタ216から+1、-7、+1、-3、+7の順にデジタルデータ値が出力されてくる。そこで、差分検出部218は、まず、-7から+1を引き算して、-8を判定部220に出力する。次に、差分検出部218は、+1から-7を引き算して、+8を出力し、-3から+1を引き算して、-4を出力し、+7から-3を引き算して、+10を出力する。

【0022】

判定部220は、差分検出部218から出力されてくる差分値の大きさを判定し、判定により得られたデータ値を2ビットの平行データに変換する。以下に、図16および図17を用いて、当該判定部220が行う判定処理について詳しく説明する。図16は、判定部220が、差分値の大きさの判定を行うときに用いる判定レベルを示した図である。具体的には、図16は、矢印の幅の間の強度を持つ差分値の信号レベルは、+14と判定されることを示している。また、図17は、判定部220が判定した判定レベルを平行データに変換するためのテーブルである。具体的には、図17は、差分値が+8または-8と判定された場合には、当該差分値が、「00」の平行データに変換されることを示している。図17に示すテーブルは、図12に示すテーブルに基づいて作成される。

【0023】

判定部220には、図16に示すように、信号レベルの判定レベルが設定されている。そこで、判定部220は、引き算によって求められた差分値の信号レベルを当該図16に示される判定レベルを用いて決定する。そして、判定部220は、図17に示すテーブルに基づいて、決定した信号レベルを平行データに変換し、さらにシリアルデータに変換し出力する。以下に、一例を挙げて、当該判定部220の動作について説明する。

【0024】

例えば、図15に示す波形の信号が物理層LSI101に入力してきた場合には、上述したように差分検出部218からは、-8、+8、-4、+10の差分値が出力されてくる。判定部220は、出力されてきた差分値の信号レベルを、図16に示す判定レベルを用いて判定する。具体的には、判定部220は、差分値の信号レベルを、-8、+8、-4、+10に決定する。次に、判定部220は、図17に示すテーブルに基づいて、差分値の信号レベルを、00、00、11、01の平行データに変換し、さらにシリアルデータに変換しMOSTコントローラ102に出力する。

【0025】

以上のような構成を有する従来のデータ伝送システムにおいて、データ通信開始前に行われる初期化動作について簡単に説明する。

【0026】

まず、上記初期化動作には、同期処理と判定レベルトレーニング処理との2種類の動作が存在する。同期処理は、マスタのデータ伝送装置100aから出力されたロック信号に基づいて、スレーブのデータ伝送装置100b～nがクロック同期を取る処理である。判定レベルトレーニング処理は、上記判定部220における信号の判定レベルをそれぞれのデータ伝送装置100a～nの間で調整する処理である。具体的には、マスタのデータ伝送装置100aが、信号の判定レベルを設定するための予め規定されたトレーニング信号を送信し、スレーブのデータ伝送装置100b～nが、当該トレーニング信号に基づいて、各データ伝送装置100a～nに共通の信号の判定レベルを判定部220に設定する。これらの処理を経て、各データ伝送装置100a～nは、データ伝送システム内においてデータ通信をすることができるようになる。

【0027】

ところで、上述したデータ伝送システムでは、図10に示すように、各データ伝送装置100a~nに対して共通のバッテリー120により、電力が供給される。当該バッテリー120の電圧は、例えば、データ伝送装置100a~nに接続された機器が動作したことにより、一瞬だけ急激に降下することがある。このようにバッテリー120の電圧の急激な減少が生じると、データ伝送システム中の一部のデータ伝送装置100において、動作のリセットがかかってしまうことがある（以下、このようなリセットを電源瞬断と称す）。

【0028】

上述したように、データ伝送システムでは、データ伝送装置100a~nは、互いに同期や信号レベルの判定のためのトレーニング等を取りつつ動作を行っている。そのため、上述したように一部のデータ伝送装置100においてリセットが生じてしまうと、リセットが生じたデータ伝送装置100は、他のデータ伝送装置100との同期が外れ、設定された判定レベルがリセットされる。その結果、リセットが生じていない他のデータ伝送装置100も通信を行うことができなくなってしまう。

【0029】

上記問題を解決するためには、データ伝送システム内の全てのデータ伝送装置100a~nをリセットして、再度立ち上げ動作（すなわち、同期処理や信号レベルトレーニング処理）が行われなくてはならない。そして、このような再立ち上げを自動的に行うためには、データ伝送システム内のデータ伝送装置100a~nが、データ伝送システム内において電源瞬断が生じたことを検知しなくてはならない。

【0030】

そこで、従来では、データ伝送装置100のCPU103が、MOSTコントローラ102の状態を監視することで、データ伝送システム内において電源瞬断が生じたことを検知していた。当該電源瞬断の検出について、図11を用いて、以下に詳しく説明する。

【0031】

まず、電源瞬断が生じたデータ伝送装置100からは、信号が出力されなくなる。このように、電源瞬断が生じたデータ伝送装置100から信号が出力されないと、当該データ伝送装置100の下流に存在するデータ伝送装置100の物理層LSI101には、電気信号が入力してこなくなる。このように、電気信号が入力してこない場合には、物理層LSI101のADC214は、概ね一定のデジタル値を出力し続けるようになる。応じて、差分検出部218は、ADC214の出力に基づいて、差分値を求めて判定部220に出力する。なお、ここで、出力される差分値は、略0になる。応じて、判定部220は、出力されてくる差分値の信号レベルを判定し、パラレルデータに変換して出力する。なお、出力されるパラレルデータは、「01」と「10」とのデータの繰り返しである。これは、差分値の信号レベルが略0である場合には、当該差分値の信号レベルは、図16に示すように、+2または-2に判定される。そして、差分値の信号レベルが+2または-2に判定された場合には、図17に示すように、パラレルデータは、「01」または「10」をとるようになるからである。

【0032】

ここで、MOSTコントローラ102、物理層LSI101からシリアル変換され出力されてくるデータを監視している。そして、データの値が、「01」と「10」とが一定時間以上繰り返されるような場合には、当該MOSTコントローラ102およびCPU103は、上位のデータ伝送装置100から所定のフォーマットの信号が出力されていない、すなわち電源瞬断等のエラーが発生したことを検知する。この後、電源瞬断を検出したMOSTコントローラ102およびCPU103は、下位に接続されたデータ伝送装置100に対する信号の出力を止めると共に、自機の物理層LSI101の動作をリセットする。これにより、電源瞬断が発生したことを検知したデータ伝送装置100の下流に接続されたデータ伝送装置100には、信号が入力してこなくなる。そこで、当該データ伝送装置100のMOSTコントローラ102およびCPU103は、上述した処理と同様の処理を行って、電源瞬断が発生したことを検知する。そして、当該データ伝送装置100

のMOSTコントローラ102およびCPU103は、下流に接続されたデータ伝送装置100への信号の出力を止めると共に、自機の物理層LSI101の動作をリセットする。以降、下流に接続されたデータ伝送装置100でも同様の動作が繰り返されることで、データ伝送システム内の全てのデータ伝送装置100が、電源瞬断が発生したことを検知する。これにより、データ伝送システム内の全てのデータ伝送装置100a～nは、リセット動作をして、再立ち上げ動作（同期や信号レベルの判定のためのトレーニング）をすることが可能となる。

【特許文献1】国際公開第02/30078号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0033】

ところで、MOSTコントローラ102あるいはCPU103は、物理層LSI101から出力されてくるデータが「01」と「10」との繰り返しであることを所定時間（例えば、100msec程度）以上検出した場合に、電源瞬断が発生したと検知していた。これは、データ伝送システムにおいて正常にデータ通信が行われている場合でも、「01」と「10」とが繰り返されるケースが存在するため、1度や2度「01」と「10」とが繰り返されただけで、MOSTコントローラ102やCPU103が電源瞬断を検知しては、誤検知が多発してしまうおそれがある。そこで、従来では、約100msecの間、「01」と「10」とが繰り返された場合には、CPU103は、電源瞬断が発生したと判定していた。

【0034】

しかしながら、1台のデータ伝送装置100が電源瞬断を検出するのに100msec必要である場合、例えば、64台のデータ伝送装置100全てが電源瞬断を検出するのに必要な時間は、6.4secになる可能性がある。そのため、従来の電源瞬断の検出方法では、電源瞬断が発生してから、再度立ち上げ動作が行われるまでの間に非常に長い待ち時間が必要となっていた。

【0035】

そこで、本発明の目的は、リング状にデータ伝送装置が接続されたデータ伝送システム内において、電源瞬断が発生したことを速やかに検出できる機能を有するデータ伝送装置を提供することである。

【課題を解決するための手段】

【0036】

本発明に係るデータ伝送装置は、複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、データ信号を一方方向に伝送するデータ伝送装置であり、信号判定手段は、上流側に接続されたデータ伝送装置から送信されてくるデータ信号の有無を、当該データ信号の振動状態に基づいて判定し、停止手段は、データ信号が送信されてきていないと信号判定手段が判定した場合には、下流側に接続されたデータ伝送装置へのデータ信号の送信を停止させるようにしている。なお、データ信号は、一定周波数の電気信号の振幅に対して、情報が重畳された信号である。

【0037】

ここで、上記データ伝送装置は、一定周波数の電気信号を抽出する信号抽出手段をさらに備え、当該信号判定手段は、閾値となる信号強度を記憶する閾値強度記憶手段と、信号抽出手段が抽出した信号の強度と、閾値強度記憶手段が記憶している信号強度とを比較して、データ信号の有無を判定する強度比較手段とを含んでいてもよい。

【0038】

また、情報は、デジタルデータ値である場合には、上記データ伝送装置は、電気信号の振幅に対して重畳されているデジタルデータ値を読み出す読出し手段と、読出し手段が読出したデジタルデータ値から、当該読出し手段が直前に読出したデジタルデータ値を引き算して、差分値を検出する差分値検出手段とをさらに備え、信号判定手段は、差分値検出手段が検出した差分値に基づいて、データ信号の有無を判定するようにしてもよい。ここ

で、信号判定手段は、閾値となる差分値を記憶する差分値記憶手段と、差分値検出手段が検出した差分値と、差分値記憶手段が記憶している差分値とを比較して、データ信号の有無を判定する差分比較手段とを含んでいることが望ましい。

【0039】

なお、上記データ伝送装置には、信号判定手段が、データ信号が送信されてきていないと判定した場合には、一定時間、データ信号の送受信動作を停止させるリセット手段がさらに設けられていてもよい。

【0040】

また、リセット手段は、リング状ネットワークの起動時に自機においてされた設定をリセットする場合には、リング状ネットワーク内に存在するデータ伝送装置の数から1を引いた数に、信号判定手段がデータ信号を受信しなくなってから中止手段がデータ信号の送信を中止するまでの間にかかる時間をかけて得られる時間以上の時間、データ信号の送受信動作を停止させることが望ましい。

【0041】

また、リセット手段による送受信動作の停止が解除されたら、下流に接続されたデータ伝送装置に対して、クロック同期を取るためのロック信号を送信するロック信号出力手段がさらに設けられることが望ましい。

【0042】

また、ロック信号出力手段がロック信号を送信した後に、各データ伝送装置間で信号強度の判定レベルを調節するためのトレーニング信号を送信するトレーニング信号出力手段がさらに設けられていてもよい。

【0043】

なお、所定のプロトコルは、MOST (Media Oriented Systems Transport) であることが望ましい。

【0044】

なお、本発明は、データ伝送装置のみならず、当該データ伝送装置が用いられたデータ伝送システムに対しても向けられている。

【発明の効果】

【0045】

本発明に係るデータ伝送装置によれば、データ伝送装置から送信されてくるデータ信号の有無が、当該データ信号の振動状態に基づいて判定される。ここで、当該データ信号は、常に振動しているので、当該データ伝送装置は、振動状態を監視することにより、容易にかつ瞬時にデータ信号の有無を判断できる。その結果、電源瞬断によりデータ信号が伝送されてなくなったことを瞬時に認識することが可能となる。

【0046】

なお、所定時間以上、各データ伝送装置が動作停止することにより、システムに含まれる全てのデータ伝送装置がデータ信号が伝送されていないことを認識するまで、各データ伝送装置が勝手に動作することがなくなる。ここで、所定時間は、リング状ネットワーク内に存在するデータ伝送装置の数から1を引いた数に、信号判定手段がデータ信号を受信しなくなしてから中止手段がデータ信号の送信を中止するまでの間にかかる時間をかけて得られる時間であることが望ましい。この場合には、データ伝送システム内の全てのデータ伝送装置がデータ信号が送信されてきていないことを認識できる。

【0047】

なお、マスタに該当するデータ伝送装置が、リセット手段による動作停止が解除後にロック信号を送信することで、システム内においてクロック同期を取ることが可能となる。さらに、マスタに該当するデータ伝送装置は、ロック信号送信後に、トレーニング信号を送信することでシステム内において、信号強度の判定レベルを設定することが可能となる。

。

【発明を実施するための最良の形態】

【0048】

以下に、本発明の一実施形態に係るデータ伝送装置および当該データ伝送装置が適用されたデータ伝送システムについて、図面を参照しながら説明する。図1は、本実施形態に係るデータ伝送装置が適用されたデータ伝送システムの全体構成を示したブロック図である。

【0049】

図1において、データ伝送システムは、物理的なトポロジをリングとし、複数のノードをリング・トポロジで接続することによって一方向のリング型LANを形成している。以下、当該データ伝送システムの一例として、各ノードをデータ伝送装置10a～nによって構成し、それぞれ伝送線によってリング状に接続し、伝送されるデータが伝送線を介して一方向に伝送されるシステムを説明する。各データ伝送装置10a～nには、それぞれデータ伝送システムを伝送したデータに基づいて処理を行い、その結果をデータ伝送システムに出力する接続機器（例えば、オーディオ機器、ナビゲーション機器、あるいは情報端末機器）9a～nが接続されている。なお、一般的なハードウェアの形態としては、それぞれのデータ伝送装置10a～nおよび接続機器9a～nが一体的に構成される。また、データ伝送装置10a～nに対しては、共通のバッテリー8から電源が供給されている。

【0050】

上記データ伝送システムで用いられる情報系の通信プロトコルとしては、例えば、Media Oriented Systems Transport（以下、MOSTと記載する）がある。MOSTを通信プロトコルとして伝送されるデータは、フレームを基本単位として伝送され、各データ伝送装置10の間を次々にフレームが一方向に伝送される。つまり、データ伝送装置10aは、伝送線を介してデータ伝送装置10bに対してデータを出力する。また、データ伝送装置10bは、伝送線を介してデータ伝送装置10cに対してデータを出力する。データ伝送装置10c～nは、データ伝送装置10bと同様の動作を行って次のデータ伝送装置に対してデータを出力する。そして、データ伝送装置10nから出力されたデータは、データ伝送装置10aに入力する。伝送線にはツイストペア線や同軸ケーブルのような安価なケーブルが用いられ、データ伝送装置10は、互いに電気信号による通信を行う。ここで、当該データ伝送システムの電源投入時においては、データ伝送装置10aが自装置のクロックによりデータを送信するマスタであり、他のデータ伝送装置10b～nがマスタで生成されるクロックに同期して動作するスレーブである。

【0051】

ここで、図1を参照して、データ伝送装置10の構成についてさらに説明する。当該データ伝送装置10aは、物理層LSI11、MOSTコントローラ12およびCPU13を含む。MOSTコントローラ12は、接続された接続機器9からのデータをMOSTで規定されるプロトコルに基づいて変換して物理層LSI11にシリアルデータとして出力する。また、MOSTコントローラ12は、物理層LSI11から出力されるパラレルデータを、接続された接続機器9に適した形式に変換して当該接続機器9に出力する。CPU13は、MOSTコントローラ12、物理層LSI11および上記接続機器9の動作を制御する。

【0052】

また、物理層LSI11は、MOSTコントローラ12から出力されてくるシリアルデータを電気信号に変換して、下流に接続されたデータ伝送装置10に出力する。さらに、当該物理層LSI11は、上流に接続されたデータ変換装置10から出力されてくる電気信号を判定して、MOSTコントローラ12に出力する。ここで、図2は、物理層LSI11の構成を示したブロック図である。当該物理層LSI11は、図2に示すように、マッピング部20、デジタルフィルタ22、DAC（デジタルアナログコンバータ）24、LPF（ローパスフィルタ）26、差動ドライバ28、差動レシーバ30、ADC（アナログデジタルコンバータ）34、デジタルフィルタ36、差分検出部38、判定部40、クロック再生部42および伝送路信号検出部48を含む。

【0053】

マッピング部20は、MOSTコントローラ12から出力されてくるデータをパラレル変換し、クロックに基づいて8値のシンボルのいずれかにマッピングを行う。ここで、マッピング部20が行うマッピングについて図12～14を参照しながら詳しく説明する。図12は、パラレルデータと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表である。図13および14は、マッピング部20でマッピングされたデジタルデータがDAC24でアナログ信号に変換された波形を示した図である。

【0054】

まず、マッピング部20には、「00」や「01」等といった2ビットのパラレルデータが入力される。ここで、マッピング部20は、取得したデータを図12に示す表にしたがって、+7、+5、+3、+1、-1、-3、-5、-7の8値のいずれかにマッピングする。ここで、マッピングの方法について、具体例を挙げて説明する。

【0055】

例えば、前のシンボル値 $B(k-1)$ が-1であって、マッピング部20に「00」のパラレルデータが入力してきた場合には、図12によると、今回のシンボル値 $B(k)$ は、+7となる。一方、シンボル値 $B(k-1)$ が+5であって、マッピング部20に「01」のパラレルデータが入力してきた場合には、今回のシンボル値 $B(k)$ は、-1となる。すなわち、本実施形態に係るマッピングは、前のシンボル値 $B(k-1)$ と入力してきたパラレルデータとに基づいて、今回のシンボル値 $B(k)$ が求められる。このような方法によって、シンボル値 $B(k)$ が正負交互にマッピングされる。そして、求められたシンボル値 $B(k)$ は、デジタルフィルタ22を介して、DAC24に入力される。

【0056】

DAC24は、出力されてくるシンボル値 $B(k)$ に基づいて、図13あるいは図14に示すアナログ信号を作成する。ここで、図13および図14について詳しく説明する。

【0057】

図13は、前のシンボル値 $B(k-1)$ が+7、+5、+3または+1である場合において、「00」、「01」、「11」、「01」の各パラレルデータが入力されたときのシンボル値 $B(k)$ を示した図である。図13は、例えば、前のシンボル値 $B(k-1)$ が+7である場合において、「00」のパラレルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が-1となるようなアナログ信号が作成されることを示している。

【0058】

一方、図14は、前のシンボル値 $B(k-1)$ が-7、-5、-3または-1である場合において、「00」、「01」、「11」、「01」の各パラレルデータが入力されたときのシンボル値 $B(k)$ を示した図である。図14は、例えば、前のシンボル値 $B(k-1)$ が-7である場合において、「00」のパラレルデータが入力されてきた場合には、今回のシンボル値 $B(k)$ が+1となるようなアナログ信号が作成されることを示している。

【0059】

以上のことを踏まえて、一例として、最初のシンボル値 $B(n)$ が+1で、「00」、「00」、「11」、「01」の順にパラレルデータが順番に入力された場合に作成されるアナログ信号を示す。図15は、上述した場合において、差動ドライバ28から出力されるアナログ信号の様子を示した図である。

【0060】

まず、最初のシンボル値 $B(n)$ は、+1であるので、+1の位置にマッピングされる。次に、パラレルデータ「00」が入力されると、図13の一番右の波に基づいて、-7にマッピングされる。次に、パラレルデータ「00」が入力されると、図14の一番左の波に基づいて、+1にマッピングされる。次に、パラレルデータ「11」が入力されると、図13の一番右の波に基づいて、-3にマッピングされる。次に、パラレルデータ「01」が入力されると、図14の右から2番目の波に基づいて、+7にマッピングされる。

以上のような処理によって、図 15 に示すアナログ信号が作成される。

【0061】

デジタルフィルタ 22 は、送信する電気信号の帯域制限および符号間干渉を抑えるための波形整形フィルタである。例えば、シンボルレートの 6 倍のサンプリング周波数で、ロールオフ率 100%、タップ数 45 タップ、およびビット数 10 ビットの FIR フィルタを使用する。

【0062】

DAC 24 は、デジタルフィルタ 22 で帯域制限された信号をアナログ信号に変換する。LPF 26 は、DAC 24 の出力信号から信号帯域より高域の周波数を減衰させる。差動ドライバ 28 は、LPF 26 から出力されるアナログ信号の強度を増幅して差動信号に変換して伝送路に送出する。差動ドライバ 28 は、伝送路が有する 2 本 1 組の導線に対して、送出する電気信号を伝送路の一方側（プラス側）導線に送信し、当該電気信号と正負反対の信号を伝送路の他方側（マイナス側）に送信する。これによって、伝送路には、プラス側とマイナス側との電気信号が 1 つのペアとして伝送するため、伝送路からの放射ノイズを軽減することができる。

【0063】

次に、差動レシーバ 30 は、伝送路から入力する差動信号を電圧信号に変換して LPF 32 に出力する。上述したように、伝送路が有する 2 本 1 組の導線に対してプラス側とマイナス側との電気信号が 1 つのペアとして伝送されているため、差動レシーバ 30 は、プラス側とマイナス側との差から信号を判断して、外部からの電氣的影響を排除している。ADC 34 は、クロックにしたがって、差動レシーバ 30 から出力される信号をデジタル信号に変換する。

【0064】

クロック再生部 42 は、ADC 34 から出力される信号に固定的に含まれる所定周波数（例えば、12.5 MHz）の信号を再生することによってクロック再生を行う。以下に、クロック再生部 42 の構成について図面を参照しながら説明する。図 3 は、当該クロック再生部 42 の詳細な構成を示したブロック図である。

【0065】

図 3 に示すように、クロック再生部 42 は、バンドパスフィルタ 50 とゼロクロス検出部 52 とを含んでいる。バンドパスフィルタ 50 は、ADC 34 から出力される信号に固定的に含まれる所定周波数の信号を抽出する。ゼロクロス検出部 52 は、所定周波数の信号の強度がゼロになる瞬間（以下、ゼロクロス点と称す）のタイミングを検出して、当該ゼロクロス点においてパルス信号が生じるようなクロック信号を生成する。なお、当該クロック信号は、デジタルフィルタ 36、差分検出部 38 および判定部 40 のクロックとして用いられる。

【0066】

次に、デジタルフィルタ 36 は、ADC 34 から出力されるデジタル信号のノイズ除去を行う波形整形用の FIR フィルタであり、例えば、シンボルレートの 20 倍の FIR フィルタが使用される。上述した送信側のデジタルフィルタ 22 と合わせ、符号間干渉のないロールオフ特性を実現する。

【0067】

差分検出部 38 は、デジタルフィルタ 36 から出力されるデジタルデータ値から、1 シンボル前のデジタルデータ値を引き算して得られた差分値を判定部 40 に出力する。例えば、図 15 のような波形の信号が物理層 LSI 11 に入力してきた場合には、デジタルフィルタ 36 から +1、-7、+1、-3、+7 の順にデジタルデータ値が出力されてくる。そこで、差分検出部 38 は、まず、-7 から +1 を引き算して、-8 を判定部 40 に出力する。次に、差分検出部 38 は、+1 から -7 を引き算して、+8 を出力し、-3 から +1 を引き算して、-4 を出力し、+7 から -3 を引き算して、+10 を出力する。

【0068】

判定部 40 は、差分検出部 38 から出力されてくる差分値の大きさを判定し、判定によ

り得られたデータ値を2ビットの平行データに変換する。以下に、図16および図17を用いて、当該判定部40が行う判定処理について詳しく説明する。図16は、判定部40が、差分値の大きさの判定を行うときに用いる判定レベルを示した図である。具体的には、図16は、矢印の幅の間の強度を持つ差分値の信号レベルは、+14と判定されることを示している。また、図17は、判定部40が判定した判定レベルを平行データに変換するためのテーブルである。具体的には、図17は、差分値が+8または-8と判定された場合には、当該差分値が、「00」の平行データに変換されることを示している。図17に示すテーブルは、図12に示すテーブルに基づいて作成される。

【0069】

判定部40には、図16に示すように、信号レベルの判定レベルが設定されている。そこで、判定部40は、引き算によって求められた差分値の信号レベルを当該図16に示される判定レベルを用いて決定する。そして、判定部40は、図17に示すテーブルに基づいて、決定した信号レベルを平行データに変換する。以下に、一例を挙げて、当該判定部40の動作について説明する。

【0070】

例えば、図15に示す波形の信号が物理層LSI11に入力してきた場合には、上述したように差分検出部38からは、-8、+8、-4、+10の差分値が出力されてくる。判定部40は、出力されてきた差分値の信号レベルを、図16に示す判定レベルを用いて判定する。具体的には、判定部40は、差分値の信号レベルを、-8、+8、-4、+10に決定する。次に、判定部40は、図17に示すテーブルに基づいて、差分値の信号レベルを、00、00、11、01の平行データに変換し、さらにシリアルデータへの変換を行いMOSTコントローラ12に出力する。

【0071】

ここで、本実施形態のデータ伝送装置の特徴部分である伝送路信号検出部48およびCPU13について図面を参照しながら詳しく説明する。当該伝送路信号検出部48は、クロック再生部42のバンドパスフィルタ50から出力される信号の強度に基づいて、上流に接続されたデータ伝送装置100から電気信号が出力されてきているか否かを判定している。ここで、図4は、伝送路信号検出部48の詳細な構成を示したブロック図である。

【0072】

図4に示すように、当該伝送路信号検出部48は、閾値格納部54と強度判定部56を含む。閾値格納部54は、バンドパスフィルタ50から出力される信号の強度を判定するための閾値が格納している。強度判定部56は、閾値格納部54に格納されている閾値と、バンドパスフィルタ50から出力される信号の強度とを比較して、その比較結果をCPU13に出力する。具体的には、強度判定部56は、閾値格納部54に格納されている閾値がバンドパスフィルタ50から出力される信号の強度よりも大きい場合には、上流に接続されたデータ伝送装置100から電気信号が出力されていることを示すHIGHの電圧をCPU13に対して出力する。一方、強度判定部56は、閾値格納部54に格納されている閾値がバンドパスフィルタ50から出力される信号の強度よりも大きくない場合には、上流に接続されたデータ伝送装置100から電気信号が出力されていないことを示すLOWの電圧をCPU13に対して出力する。

【0073】

CPU13は、上記伝送路信号検出部48の出力に基づいて、データ伝送装置10の動作を制御する。具体的には、当該CPU13は、伝送路信号検出部48からの出力がHIGHからLOWに切り替わるときの電圧のエッジ部を検出した場合には、当該データ伝送装置10に対して、下流に接続されたデータ伝送装置10に電気信号を出力することを停止させる。

【0074】

以上のように構成されたデータ伝送装置およびデータ伝送システムにおいて、以下にその動作について図面を参照しながら説明する。図5は、本実施形態に係るデータ伝送システムの簡単なブロック図である。また、図6および図7は、本実施形態に係るデータ伝送

システムの動作を示したシーケンス図ある。なお、ここでは、説明の簡略のため、データ伝送装置 10 は、5 台存在し、そのうちのデータ伝送装置 10 a は、マスタであり、その他のデータ伝送装置 10 b ~ e は、スレーブであるとする。また、図 5 では、簡略のため、接続機器 9 等は省略してある。

【0075】

まず、本実施形態に係るデータ伝送システムは、図 5 の矢印の方向にデータを含んだ電気信号が正常に伝送されている状態から始まる（以下、この状態を通常動作と称す）。ここで、データ伝送システム内の接続機器 9 が動作したこと等により、バッテリー 8 の電圧が急激に一瞬だけ低下し、データ伝送装置 10 c の電源が瞬間的に切れたものとする。このような場合には、当該データ伝送装置 10 c は、通常動作を停止してしまう。具体的には、当該データ伝送装置 10 c は、下流に接続されたデータ伝送装置 10 d への電気信号の出力を停止する（ステップ S 1）。その後、当該データ伝送装置 10 c は、所定時間のハードウェアリセットを行う。具体的には、データ伝送装置 10 c に含まれる CPU 13 は、上記所定時間だけ物理層 L S I 11 に、電気信号の送受信を停止するように物理層 L S I 11 を制御する。

【0076】

ここで、上記ステップ S 1 においてデータ伝送装置 10 c がデータ伝送装置 10 d への電気信号の出力を停止したとすると、データ伝送装置 10 d には、電気信号の入力がなくなる。そこで、当該データ伝送装置 10 d は、電気信号が出力されてこないことを検知し、下流に接続されたデータ伝送装置 10 e への電気信号の出力を停止する（ステップ S 2）。その後、データ伝送装置 10 d は、所定時間のハードウェアリセットを行う。具体的には、データ伝送装置 10 d に含まれる CPU 13 は、所定時間だけ物理層 L S I 11 に対して、電気信号の送受信を停止するように制御する。以下に、図 2 ~ 4 を用いて、ステップ S 2 においてデータ伝送装置 10 d が行う動作について説明する。

【0077】

まず、データ伝送装置 10 c からの電気信号が入力してこなくなると、差動レシーバ 30、LPF 32 および ADC 34 には、電気信号が入力してこなくなる。ADC 34 は、電気信号が入力してこないのもので、略「0」であるデータ値をデジタルフィルタ 36 およびクロック再生部 42 に出力する。応じて、図 3 に示すクロック再生部 42 のバンドパスフィルタ 50 は、ADC 34 から出力されてくるデータ値に含まれる特定の周波数（本実施形態では 12.5 MHz）の信号を抽出して、ゼロクロス検出部 52 および伝送路信号検出部 48 に出力する。

【0078】

図 4 に示す伝送路信号検出部 48 の強度判定部 56 は、出力されてくるデータ値の大きさと、閾値格納部 54 に格納されている閾値の大きさを比較する。ここで、ADC 34 は、概ね一定のデータ値をデジタルフィルタ 36 に出力している。そのため、バンドパスフィルタ 50 から強度判定部 56 への出力も、略「0」の強度を有する信号となる。そのため、強度判定部 56 は、上記閾値よりも出力されてきたデータ値の方が小さいと判定し、CPU 13 に出力する電圧を HIGH から LOW に切り替える。

【0079】

応じて、CPU 13 は、電圧が HIGH から LOW に切り替わる瞬間のエッジを検出し、上流に接続されたデータ伝送装置 10 c からの電気信号の出力がなくなったことを認識する。そこで、当該 CPU 13 は、データ伝送装置 10 d に、下流に接続されたデータ伝送装置 10 e への電気信号の出力を停止させる。さらに、当該 CPU 13 は、データ伝送装置 10 d に対して、ハードウェアリセットを行って、当該データ伝送装置 10 d の動作を所定時間停止させる。

【0080】

ここで、再び、図 6 に示すデータ伝送システムの動作の説明に戻る。データ伝送装置 10 d からの電気信号の出力が停止すると、当該データ伝送装置 10 d の下流に接続されたデータ伝送装置 10 e には、電気信号が入力してこなくなる。そこで、当該データ伝送装

置 10 e は、上記データ伝送装置 10 d と同様の動作を行って、下流に接続されたデータ伝送装置 10 a に対する電気信号の出力を停止すると共に、ハードウェアリセットを行う（ステップ S 3）。なお、当該処理は、ステップ S 2 と同様であるので、これ以上の詳細な説明を省略する。

【0081】

データ伝送装置 10 e からの電気信号の出力が停止すると、当該データ伝送装置 10 e の下流に接続されたデータ伝送装置 10 a には、電気信号が入力してこなくなる。そこで、当該データ伝送装置 10 a は、上記データ伝送装置 10 d と同様の動作を行って、下流に接続されたデータ伝送装置 10 b への電気信号の出力を停止すると共に、ハードウェアリセットを行う（ステップ S 4）。なお、当該処理は、ステップ S 2 と同様であるので、これ以上の詳細な説明を省略する。

【0082】

データ伝送装置 10 a からの電気信号の出力が停止すると、当該データ伝送装置 10 a の下流に接続されたデータ伝送装置 10 b には、電気信号が入力してこなくなる。そこで、当該データ伝送装置 10 b は、上記データ伝送装置 10 d と同様の動作を行って、下流に接続されたデータ伝送装置 10 c への電気信号の出力を停止すると共に、ハードウェアリセットを行う（ステップ S 5）。なお、当該処理は、ステップ S 2 と同様であるので、これ以上の詳細な説明を省略する。以上、ステップ S 1 ～ 5 の動作を経て、データ伝送システム内の全てのデータ伝送装置 10 a ～ e は、データ伝送システム内の一部のデータ伝送装置 10 c において電源瞬断が発生したことを認識できる。

【0083】

次に、図 6 に示すように、データ伝送装置 10 c、d および e のハードウェアリセットが解除される（ステップ S 6 ～ 8）。すなわち、データ伝送装置 10 c、d および e が再び動作をすることが可能となる。その後、データ伝送装置 10 a のハードウェアリセットが解除される。この後、本実施形態に係るデータ伝送システム内では、再立ち上げ動作が開始される。以下に、当該再立ち上げ動作について説明する。

【0084】

まず、当該データ伝送装置 10 a は、データ伝送システム内の他のデータ伝送装置 10 b ～ e とクロック同期を取るためのロック信号を発信する（ステップ S 9）。ステップ S 10 においてハードウェアリセットが解除されたデータ伝送装置 10 b は、データ伝送装置 10 a から出力されたロック信号を受信し、ロック検出を行うと共に、受信したロック信号をデータ伝送装置 10 c に対して出力する（ステップ S 11）。

【0085】

応じて、データ伝送装置 10 c は、データ伝送装置 10 b から出力されたロック信号を受信し、ロック検出を行うと共に、受信したロック信号をデータ伝送装置 10 d に対して出力する（ステップ S 12）。さらに、データ伝送装置 10 d は、データ伝送装置 10 c から出力されたロック信号を受信し、ロック検出を行うと共に、受信したロック信号をデータ伝送装置 10 e に対して出力する（ステップ S 13）。さらに、データ伝送装置 10 e は、データ伝送装置 10 d から出力されたロック信号を受信し、ロック検出を行うと共に、受信したロック信号をデータ伝送装置 10 a に対して出力する（ステップ S 14）。応じて、データ伝送装置 10 a は、ロック信号を受信し、ロック検出を行う。これにより、データ伝送システム内の全てのデータ伝送装置 10 a ～ e の間で、クロック同期を確立することができる。

【0086】

次に、データ伝送装置 10 a は、それぞれのデータ伝送装置 10 a ～ e に含まれる判定部 40 の判定レベルを設定するために、トレーニング信号を、データ伝送装置 10 b に出力する（ステップ S 15）。応じて、データ伝送装置 10 b は、トレーニング信号を受信し、当該トレーニング信号に基づいて、判定部 40 の信号判定レベルを設定する。この後、当該データ伝送装置 10 b は、下流に接続されたデータ伝送装置 10 c に対して、トレーニング信号を送信する（ステップ S 16）。

【0087】

次に、データ伝送装置10cは、トレーニング信号を受信し、当該トレーニング信号に基づいて、判定部40の信号判定レベルを設定する。この後、当該データ伝送装置10cは、下流に接続されたデータ伝送装置10dに対して、トレーニング信号を送信する（ステップS17）。

【0088】

次に、データ伝送装置10dは、トレーニング信号を受信し、当該トレーニング信号に基づいて、判定部40の信号判定レベルを設定する。この後、当該データ伝送装置10dは、下流に接続されたデータ伝送装置10eに対して、トレーニング信号を送信する（ステップS18）。

【0089】

次に、データ伝送装置10eは、トレーニング信号を受信し、当該トレーニング信号に基づいて、判定部40の信号判定レベルを設定する。この後、当該データ伝送装置10eは、下流に接続されたデータ伝送装置10aに対して、トレーニング信号を送信する（ステップS19）。

【0090】

次に、データ伝送装置10aは、トレーニング信号を受信する。この後、データ伝送装置10a～eは、いわゆる通常動作に移行する（ステップS20～24）。

【0091】

以上のように、本実施形態に係るデータ伝送装置および当該データ伝送システムによれば、システム内の各データ伝送装置が、電源瞬断が生じたことを、従来のシステムよりも速く認識することができるようになる。その結果、当該データ伝送システム全体を再立ち上げして、再度通常動作を開始するまでに必要な時間が短縮される。以下に、詳しく説明する。

【0092】

まず、従来では、判定部40から出力されるデータに基づいて、CPU13が、電気信号の有無を判定していた。ここで、データは、電気信号がなくなったとしても、全て「00」になるのではなく、「01」と「10」とが出力されてくる。このような「01」および「10」は、通常動作時にも出力され得るデータである。そのため、このようなパラレルデータが、一度や二度続けて出力されたからといって、CPUが、その瞬間に電気信号がなくなった（すなわち、電源瞬断が発生した）と認識しては、電気信号の有無の誤検出が多発することになる。そこで、従来のデータ伝送装置では、CPUが、データエラーを監視しており、所定時間（約100msec）以上「01」や「10」のようなデータが連続するような場合には、電気信号がなくなったと認識するようにしている。

【0093】

ここで、MOSTにおいて、データ伝送装置に入力してくる電気信号は、その中に含まれるデータ値がすべて「0」であったとしても、周期的に強度が変化するという性質を有する。そのため、電気信号が入力してきている場合には、たとえ、当該電気信号の中に含まれるデータ値がすべて「0」であったとしても、データ伝送装置のADCから出力されるデータ値は、周期的に変化する値となる。一方、電気信号が入力してこない場合には、データ伝送装置のADCから出力されるデータ値は、概ね一定となる。すなわち、電気信号の強度に基づいて当該電気信号の有無を判定する方が、その判定基準が、データに基づいて当該電気信号の有無を判定よりも明確になる。そのため、CPUにおいてデータを監視して電気信号の有無を判定する場合に比して、本実施形態に示したように、物理層LSIにおいて電気信号の有無を判定する場合の方が、短時間で電気信号の有無を判定することが可能となる。具体的には、物理層LSIの伝送路信号検出部で電気信号の有無を判定した場合、約100 μ sec程度で判定することが可能となる。その結果、電源瞬断が発生した後、データ伝送システムの再立ち上げまでの間に必要な時間が短縮化される。

【0094】

なお、本実施形態では、電気信号の有無を判定するために、クロック再生部から出力さ

れる所定周波数の信号の強度を用いていたが、当該電気信号の有無の判定は、これに限らない。例えば、データ伝送装置内の差分検出部の出力に基づいて、電気信号の有無を判定してもよい。以下に、図面を参照しながら説明する。図8は、この場合におけるデータ伝送装置10の物理層LSI11の内部構成を示したブロック図である。図9は、伝送路信号検出部60の内部構成を示したブロック図である。

【0095】

まず、図8に示す物理層LSI11は、マッピング部20、デジタルフィルタ22、DAC24、LPF26、差動ドライバ28、差動レシーバ30、ADC34、デジタルフィルタ36、差分検出部38、判定部40、クロック再生部42および伝送路信号検出部60を含む。ここで、図2と全く同じものについては、同じ参照符号が付してある。なお、図2と全く同じものである、マッピング部20、デジタルフィルタ22、DAC24、LPF26、差動ドライバ28、差動レシーバ30、ADC34、デジタルフィルタ36、差分検出部38、判定部40およびクロック再生部42については説明を省略する。

【0096】

伝送路信号検出部60は、差分検出部38とCPU13とに接続され、図9に示すように、差分閾値格納部62と差分値判定部64とを含む。差分閾値格納部62は、予め定められた閾値となる差分値を格納している。差分値判定部64は、差分検出部38から出力されてくる差分値と、差分閾値格納部62に格納されている差分値とを比較する。ここで、電気信号がデータ伝送装置に入力してこない場合には、ADC34は、概ね一定であるデータ値をデジタルフィルタ36に出力している。そのため、デジタルフィルタ36から差分検出部38への出力も、略「0」の強度を有する信号である。その結果、差分検出部38から差分値判定部64に対して出力される差分値も略「0」で一定となる。そこで、当該差分値判定部64は、このような場合には、電気信号がデータ伝送装置に出力されてきていないと判定して、CPU13に出力する電圧をHIGHからLOWに切り替える。この後、CPU13が行う動作は、すでに説明した実施形態と同様であるので、説明を省略する。このように、MOSTでは、差分値を用いて電気信号からパラレルデータを読み出しているため、当該差分値の変動に基づいて、電気信号の有無を検出することも可能である。

【0097】

なお、本実施形態では、電気信号が入力してきていないと伝送路信号検出部が判定した場合には、CPUが下流に接続されたデータ伝送装置への電気信号の出力を停止していたが、電気信号の出力の停止方法は、これに限らない。例えば、伝送路信号検出部は、電気信号が入力してきていないことを検出したら、直接、当該物理層LSIが電気信号を出力することを停止するようにしてもよい。これにより、CPUにかかる負担を軽減することが可能となる。

【0098】

また、本実施形態では説明を行わなかったが、電気信号が入力してきていないと伝送路信号検出部が判定した場合に、当該物理層LSIがMOSTコントローラに出力するデータを停止しても良い。これにより、MOSTコントローラやCPUでのエラー検出が容易に行える。

【0099】

なお、CPUは、ハードウェアリセットにおいて、所定時間物理層LSIの動作を停止するものとしているが、以下に、当該所定時間について説明する。当該所定時間は、データ伝送システム内に存在するデータ伝送装置の数から1を引いた数に、物理層LSIが電気信号を受信しなくなってから前記CPUが電気信号の送信を中止するまでの間にかかる時間をかけて得られる時間以上であることが望ましい。このように所定時間が設定されることにより、データ伝送システム内の全てのデータ伝送装置が電源瞬断を認識した後にハードウェアリセットが解除されることになる。その結果、全てのデータ伝送装置が電源瞬断を認識する前に、データ伝送装置が動作することがなくなり、当該データ伝送装置の誤動作が防止される。

【産業上の利用可能性】

【0100】

本発明に係るデータ伝送装置は、リング状にデータ伝送装置が接続されたデータ伝送システム内において、電源瞬断が発生したことを速やかに検出でき、複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、電気信号を一方方向に伝送するデータ伝送装置等として有用である。

【図面の簡単な説明】

【0101】

【図1】 本発明の一実施形態に係るデータ伝送システムの構成を示したブロック図

【図2】 本発明の一実施形態に係る物理層LSIの構成を示したブロック図

【図3】 クロック再生部の構成を示したブロック図

【図4】 伝送路信号検出部の構成を示したブロック図

【図5】 本発明の一実施形態に係るデータ伝送システムを簡略化したブロック図

【図6】 本発明の一実施形態に係るデータ伝送システムの動作を示したシーケンス図

【図7】 本発明の一実施形態に係るデータ伝送システムの動作を示したシーケンス図

【図8】 本発明に係るデータ伝送装置の物理層LSIのその他の構成を示した図

【図9】 伝送路信号検出部の構成を示したブロック図

【図10】 従来のデータ伝送システムの構成を示したブロック図

【図11】 従来の物理層LSIの構成を示したブロック図

【図12】 パラレルデータと、マッピングすべきシンボル値 $B(k)$ と、当該マッピングすべきシンボル値 $B(k)$ の直前のシンボル値 $B(k-1)$ との関係を示した表

【図13】 マッピング部でマッピングされたデジタルデータがDACでアナログ信号に変換された波形を示した図

【図14】 マッピング部でマッピングされたデジタルデータがDACでアナログ信号に変換された波形を示した図

【図15】 差動ドライバから出力されるアナログ信号の様子を示した図

【図16】 判定部が、差分値の大きさの判定を行うときに用いる判定レベルを示した図

【図17】 判定部が判定した判定レベルをパラレルデータに変換するためのテーブル

【符号の説明】

【0102】

8 バッテリー

9 接続機器

10 データ伝送装置

11 物理層LSI

12 MOSTコントローラ

13 CPU

20 マッピング部

22 デジタルフィルタ

24 DAC

26 LPF

28 差動ドライバ

30 差動レシーバ

32 LPF

34 ADC

36 デジタルフィルタ

38 差分検出部

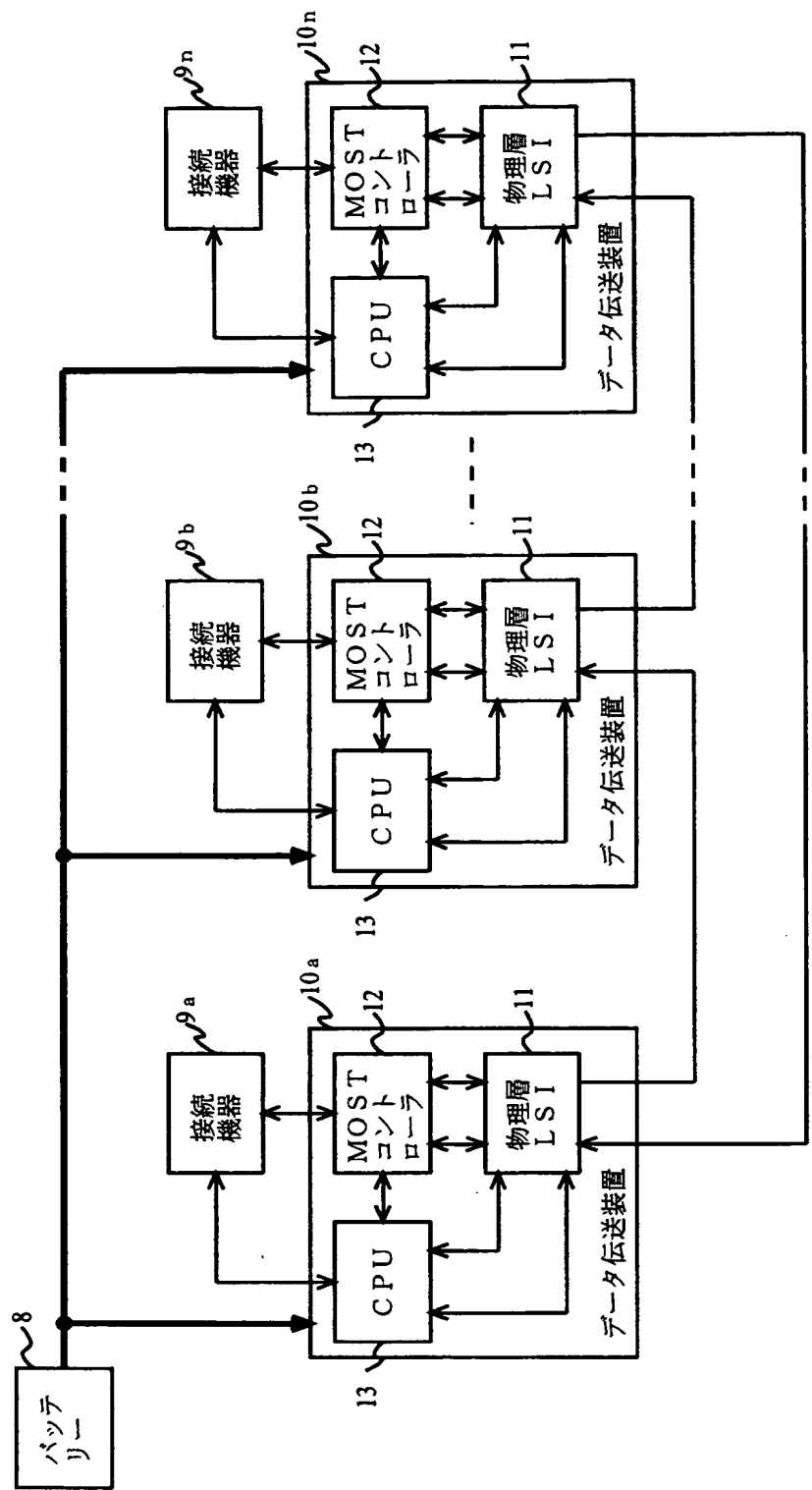
40 判定部

42 クロック再生部

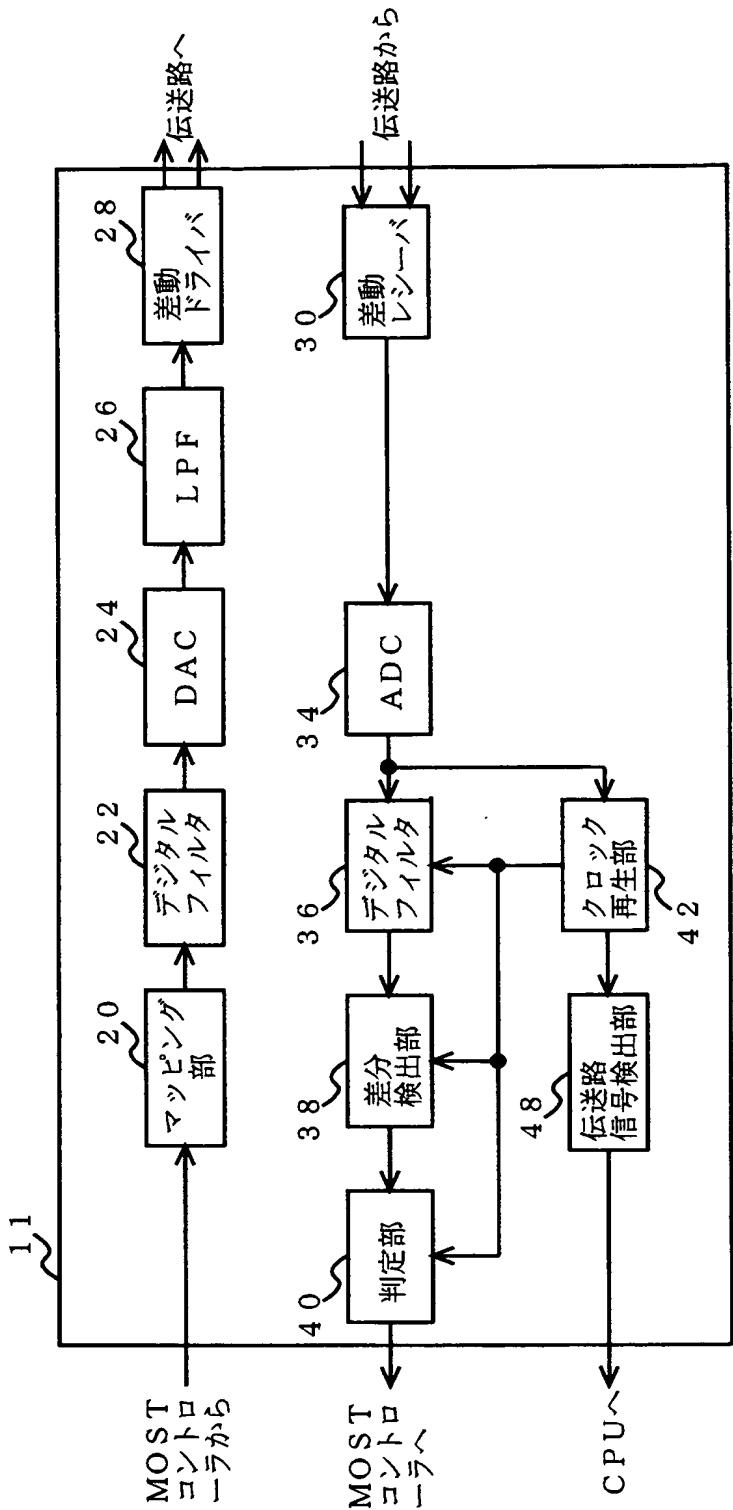
48、60 伝送路信号検出部

- 5 0 バンドパスフィルタ
- 5 2 ゼロクロス検出部
- 5 4 閾値格納部
- 5 6 強度判定部
- 6 2 差分閾値格納部
- 6 4 差分値判定部

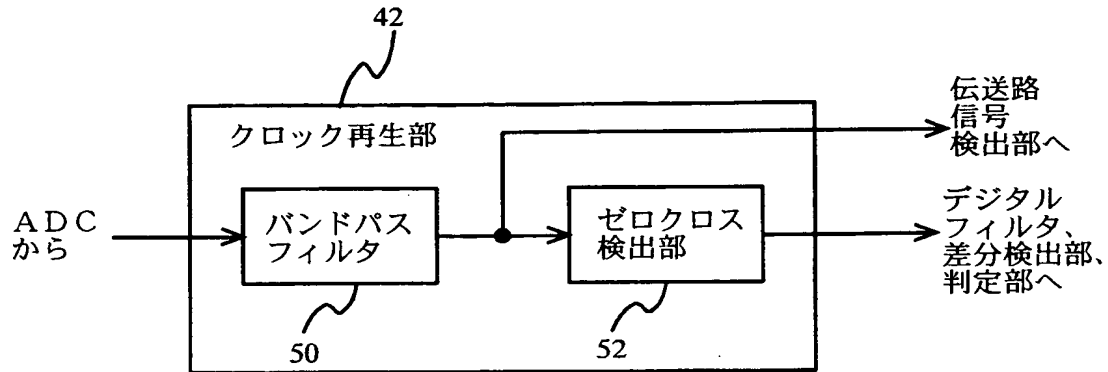
【書類名】 図面
【図 1】



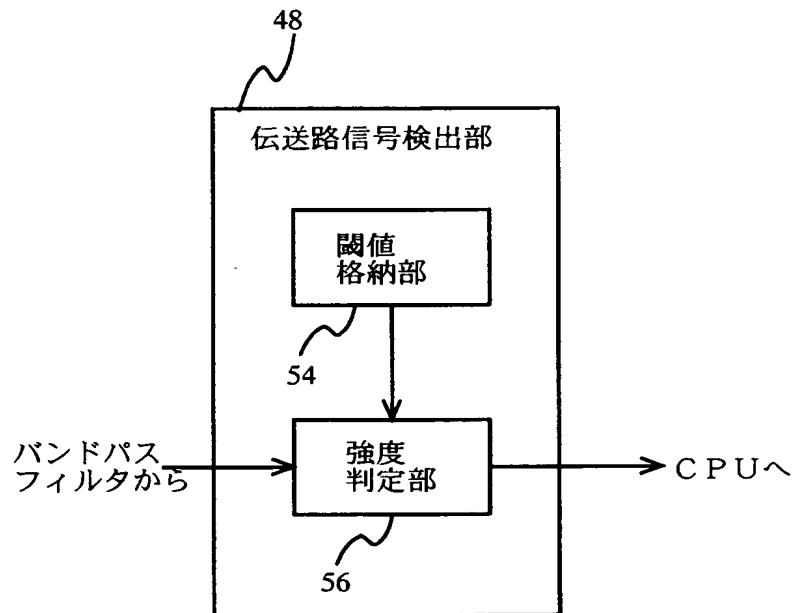
【図 2】



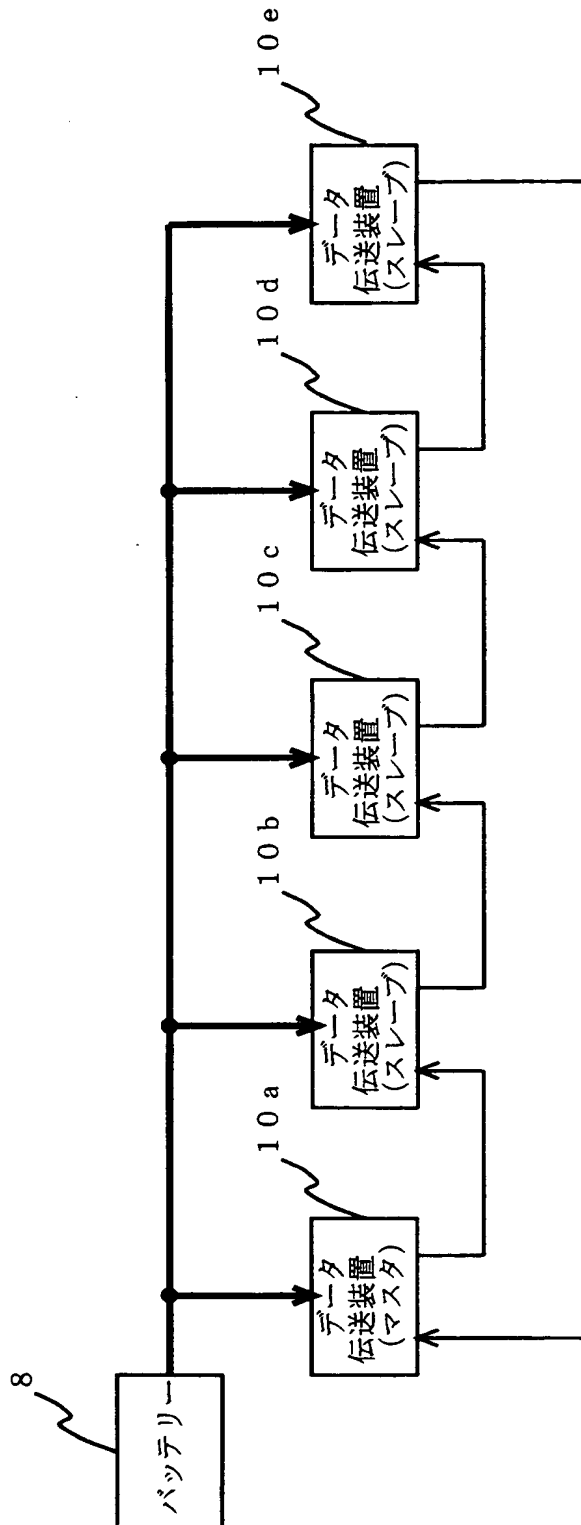
【図 3】



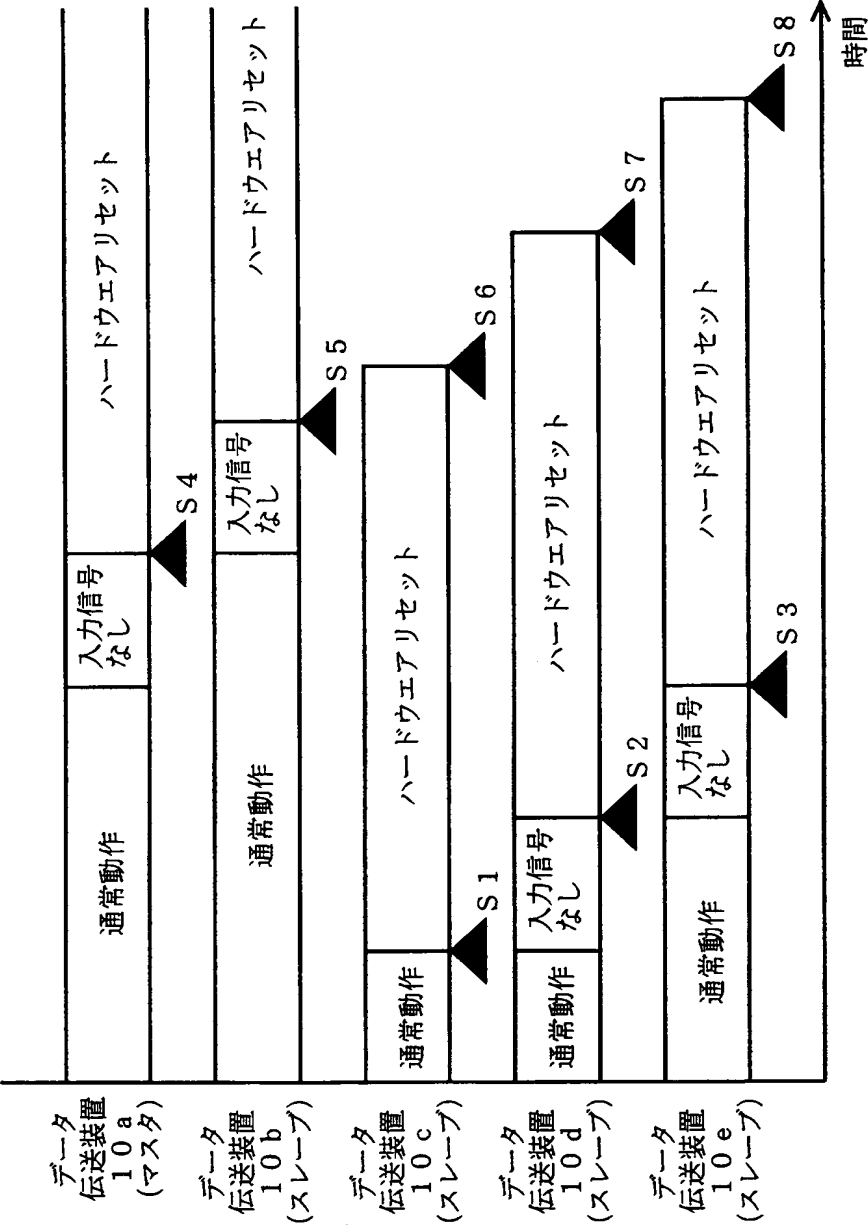
【図 4】



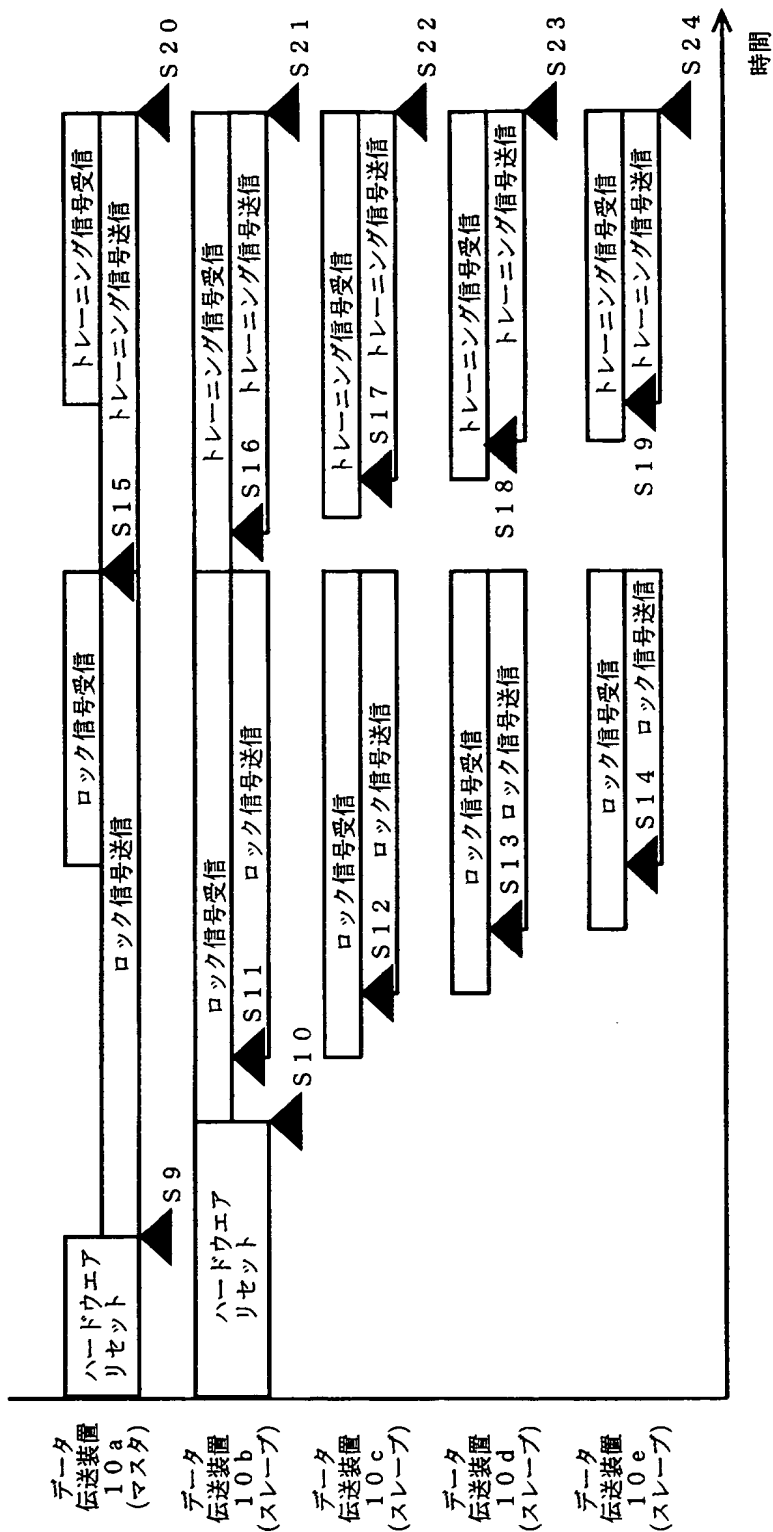
【図 5】



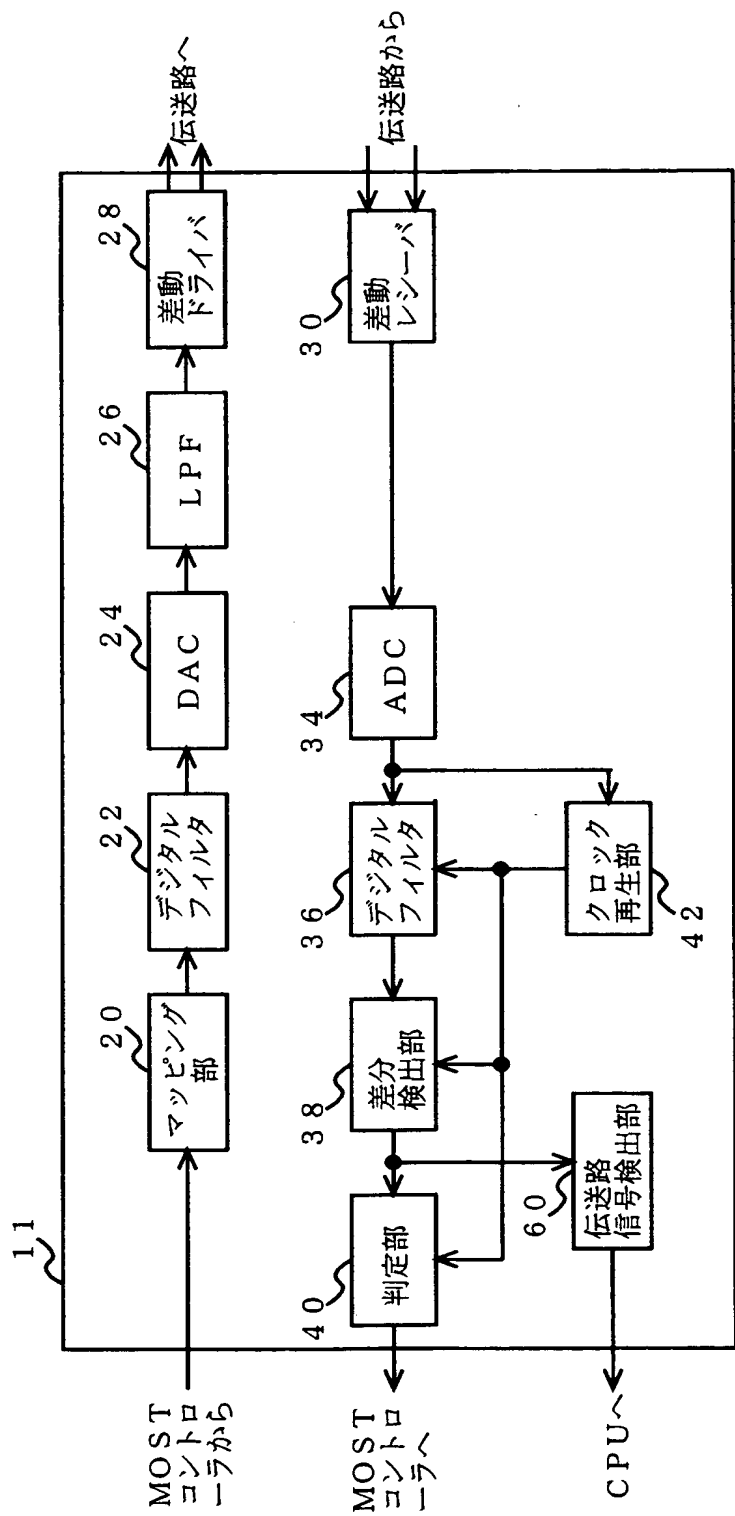
【図 6】



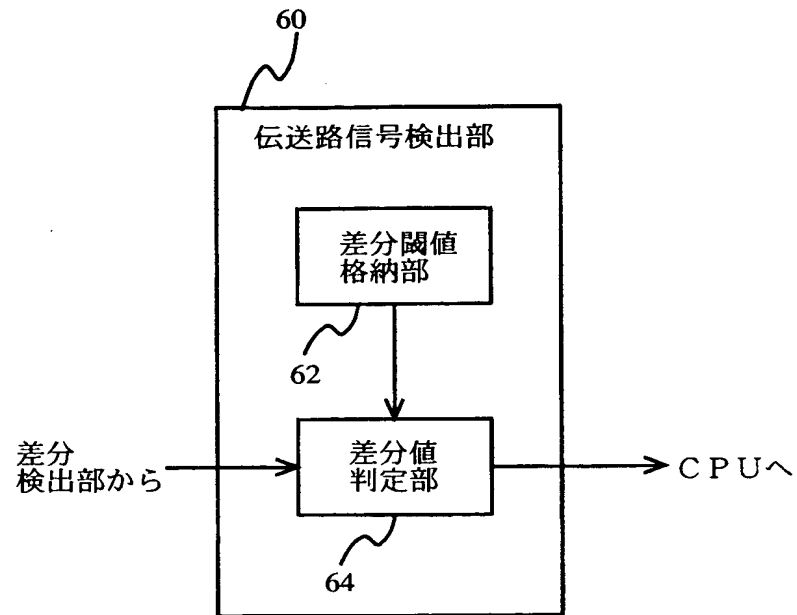
【図 7】



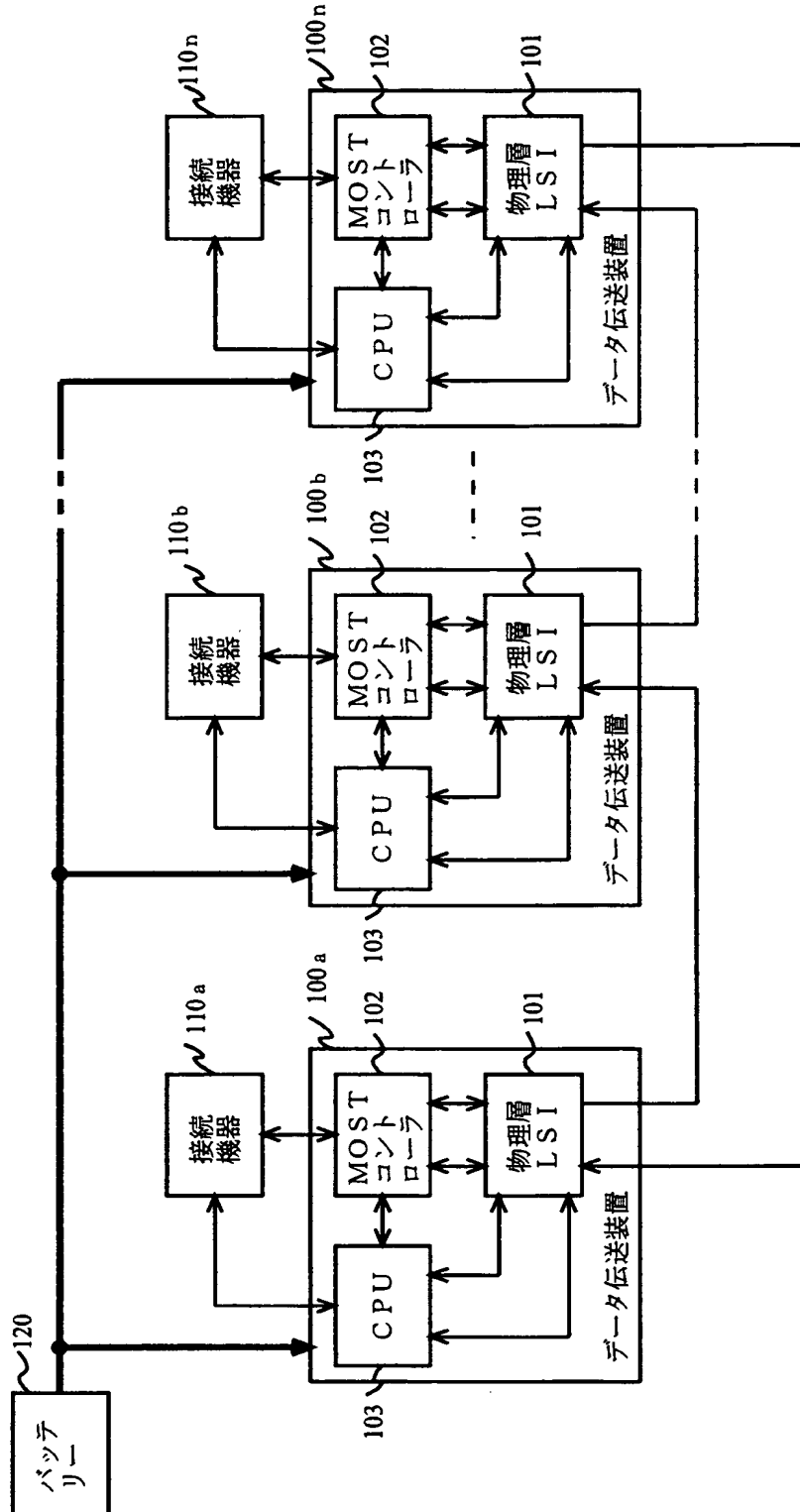
【図 8】



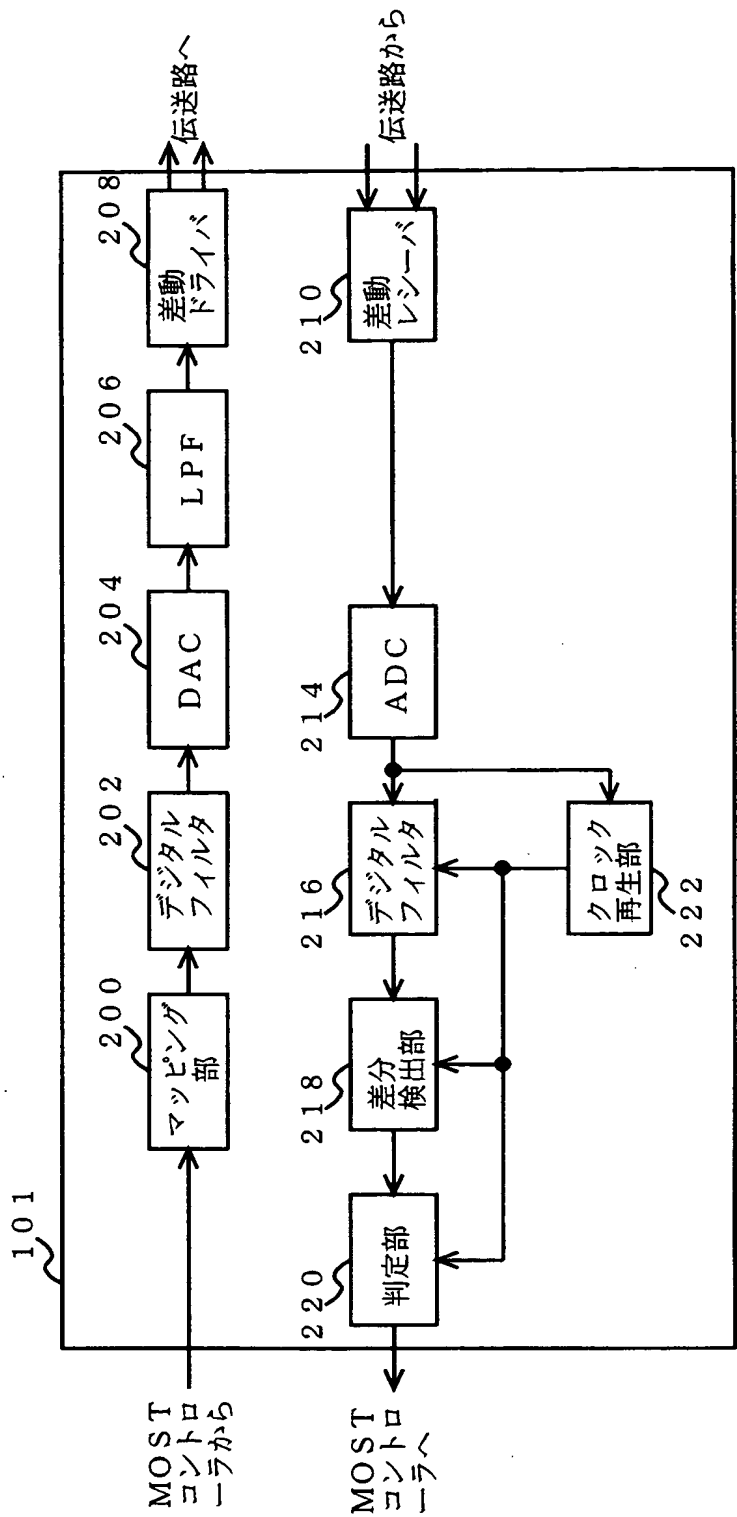
【図 9】



【図 10】



【図11】



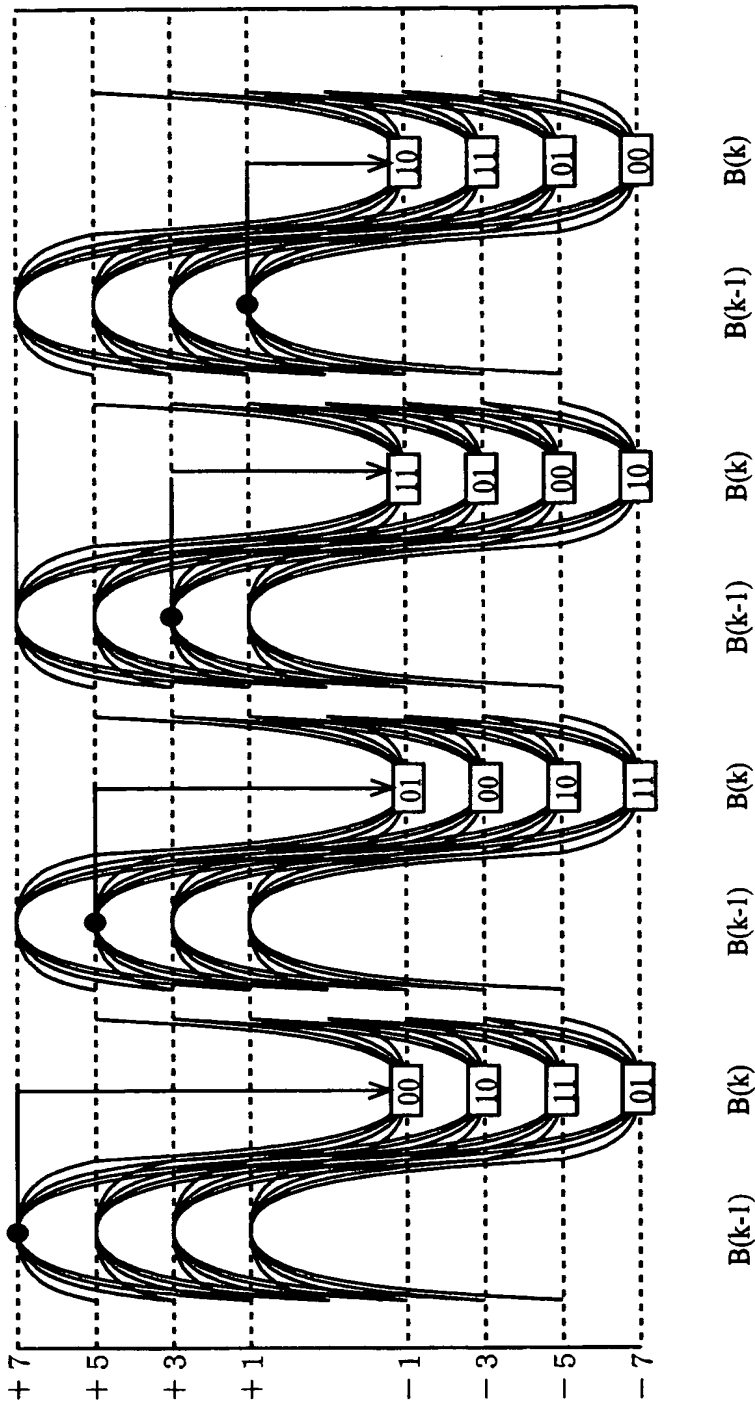
【図 12】

$B(k)$	+7	+5	+3	+1	-1	-3	-5	-7
$B(k-1)$								
+7					00	10	11	01
+5					01	00	10	11
+3					11	01	00	10
+1					10	11	01	00
-1	00	10	11	01				
-3	01	00	10	11				
-5	11	01	00	10				
-7	10	11	01	00				

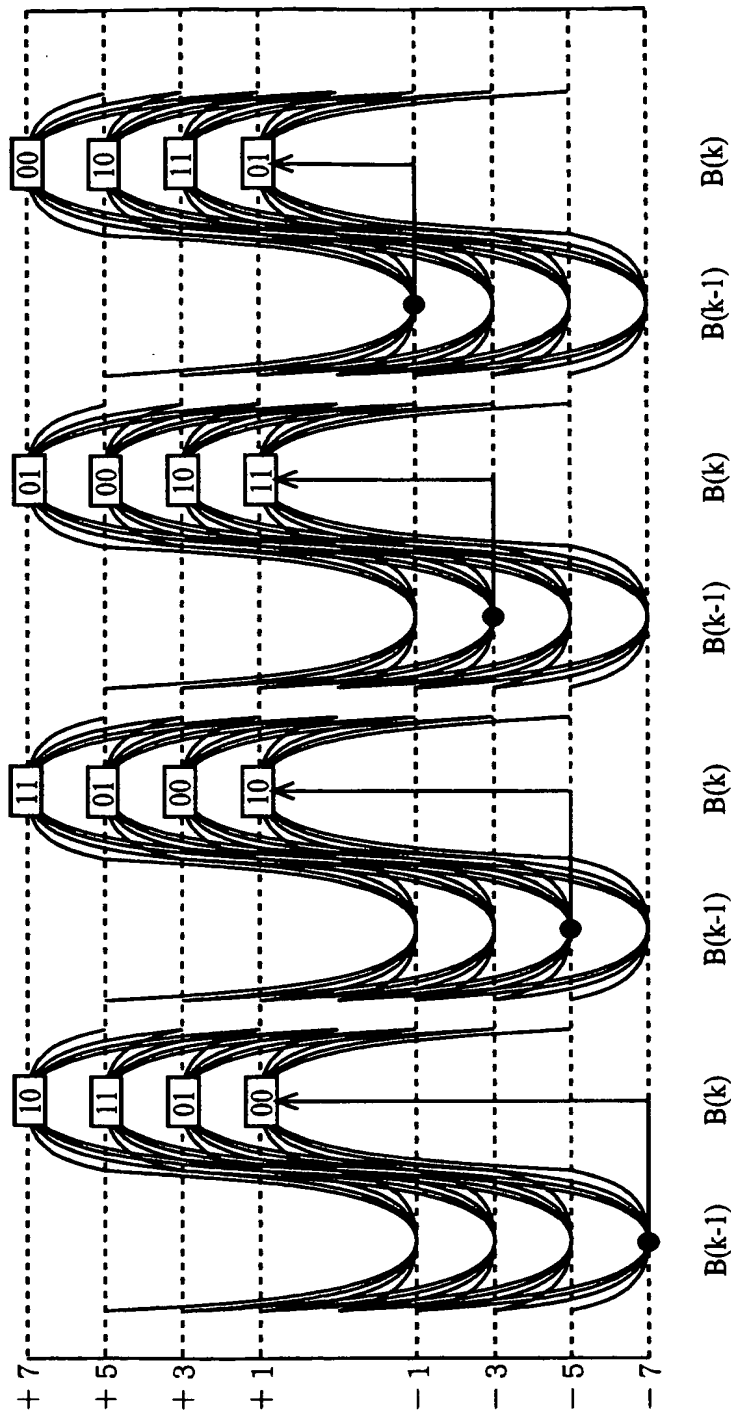
並列データ

並列データ

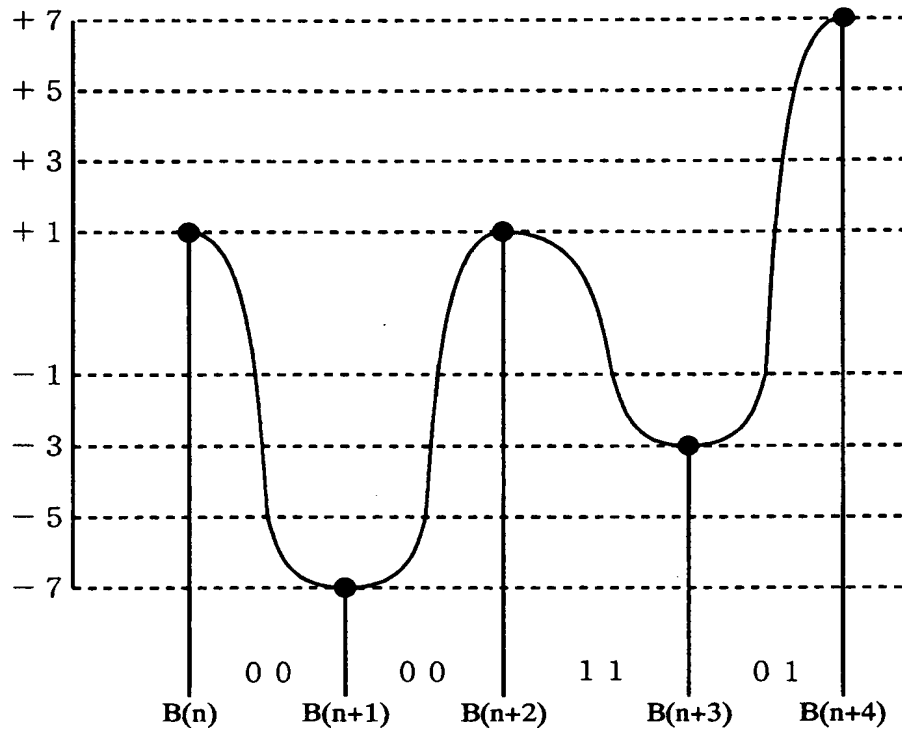
【図 13】



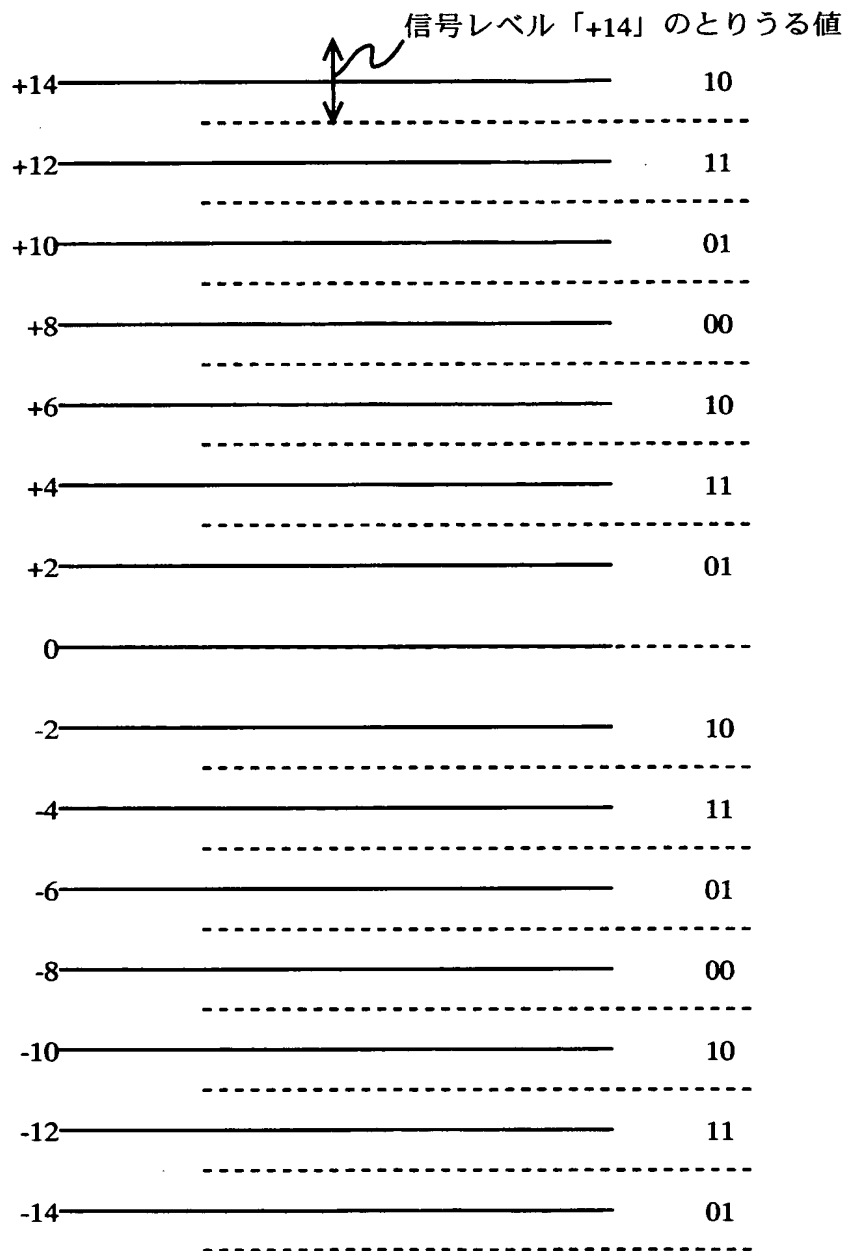
【図 14】



【図 15】



【図 16】



【図 1 7】

データ	B(k) - B(k - 1)			
00	+8	-8		
01	+10	+2	-6	-14
10	+14	+6	-2	-10
11	+12	+4	-4	-12

【書類名】 要約書**【要約】**

【課題】 本発明の目的は、リング状にデータ伝送装置が接続されたデータ伝送システム内において、電源瞬断が発生したことを速やかに検出できる機能を有するデータ伝送装置を提供することである。

【解決手段】 本発明に係るデータ伝送装置 10 は、複数台でリング状ネットワークを構成し、当該リング状ネットワークにおいて、所定のプロトコルに従って、データ信号を一方方向に伝送するデータ伝送装置であり、信号判定手段 11 は、上流側に接続されたデータ伝送装置 10 から送信されてくるデータ信号の有無を、当該データ信号の振動状態に基づいて判定し、停止手段は、データ信号が送信されてきていないと信号判定手段 11 が判定した場合には、下流側に接続されたデータ伝送装置 10 へのデータ信号の送信を停止させるようにしている。なお、データ信号は、常に振動する一定周期の一定周波数の電気信号の振幅に対して、情報が重畳された信号である。

【選択図】 図 1

認定・付加情報

特許出願の番号	特願 2003-283004
受付番号	50301265038
書類名	特許願
担当官	第八担当上席 0097
作成日	平成15年 7月31日

<認定情報・付加情報>

【提出日】	平成15年 7月30日
-------	-------------

特願 2 0 0 3 - 2 8 3 0 0 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社